

UNIVERSITÀ DI PISA

Scuola di Dottorato in Ingegneria “Leonardo Da Vinci”



Corso di Dottorato di Ricerca in

INGEGNERIA DELL'INFORMAZIONE

Settore Scientifico-Disciplinare ING-INF/01

Tesi di Dottorato di Ricerca

**Sviluppo di un sistema integrato general-
purpose per l'interfacciamento di sensori
ambientali e di specie chimiche**

Autore:

Francesco Del Cesta

Relatori:

Prof. Paolo Bruschi

Ing. Massimo Piotto

Prof. Andrea Nannini

Anno 2015

Sommario

In questa tesi di Dottorato è descritta un'innovativa interfaccia integrata general-purpose per applicazioni con sensori ambientali e di specie chimiche. Il progetto, supportato dalla "Sensichips Srl" e sviluppato in collaborazione con l'Università di Padova e l'INFN di Cagliari, è nato con lo scopo di colmare la mancanza di queste tipologie di dispositivi nel mercato dei circuiti integrati. Ad oggi esistono infatti poche soluzioni integrate rivolte all'interfacciamento di sensori, e per la maggior parte presentano delle limitazioni che non le rendono adatte ad un utilizzo general-purpose. L'architettura realizzata si distingue per una originale rete di generazione dei segnali di stimolo, che consente di trasferire ai DUT sia tensioni in DC, variabili all'interno dell'intero range di alimentazione, sia tensioni sinusoidali con frequenza variabile da 1Hz a 1MHz, e programmabile su 16 livelli di ampiezza. Per il canale di lettura è stata sviluppata una originale architettura di amplificatore da strumentazione, che garantisce una buona stabilità del guadagno differenziale per un range di modo comune di ingresso quasi rail-to-rail. Misure sperimentali, effettuate sulle tre release del chip prodotte fino ad oggi, hanno dimostrato l'efficacia del sistema e la validità della soluzione proposta.

Indice

Introduzione	1
1 Interfacce per sensori	3
1.1 Applicazioni delle interfacce per sensori.....	3
1.2 Interfacce per sensori resistivi	4
1.3 Interfacce per sensori capacitivi	5
1.4 Interfacce per sensori elettrochimici.....	5
1.4.1 Electrochemical Impedance Spectroscopy (EIS)	6
1.5 Bibliografia	8
2 Interfaccia integrata general-purpose per sensori di specie chimiche 12	
2.1 Stato dell'arte	12
2.1.1 Texas Instrument LMP91000.....	13
2.1.2 Analog Devices AD5933.....	14
2.2 Il sistema sviluppato.....	15
2.2.1 Descrizione generale	18
2.2.2 Configurazione per misure di impedenza	19
2.2.3 Applicazioni con sensori elettrochimici	20
2.2.4 Misurazioni tramite ponte di Wheatstone	21
2.3 Bibliografia	23
3 DSG e VSCM.....	25
3.1 Principio di funzionamento.....	25
3.2 Generazione del segnale sinusoidale	27

3.2.1.1	Risposta in frequenza	30
3.2.1.2	Effetto di feed-forward del segnale di ingresso	31
3.3	Terminale di force e terminale di sense	34
3.4	Rete di regolazione della tensione in DC.....	34
3.4.1	Principio di funzionamento	36
3.4.2	Derivazione analitica.....	37
3.4.2.1	Stabilità	41
3.4.3	Integrazione con la rete di generazione della sinusoide	42
3.5	Architettura dell'amplificatore operativo in classe A/B	45
3.5.1	Amplificazione a modo differenziale	50
3.6	Rete digitale di controllo	51
3.6.1	Generazione del segnale sinusoidale.....	51
3.6.2	Regolazione della tensione continua e sincronizzazione con il segnale sinusoidale	54
3.7	Il VSCM	60
3.8	Bibliografia	61
4	Amplificatore da strumentazione	63
4.1	Principali topologie in letteratura.....	63
4.2	Architettura proposta	66
4.2.1	Modulatori integrati.....	71
4.2.2	Demodulazione del segnale	72
4.2.3	Stabilità.....	73
4.2.3.1	Modo differenziale.....	75
4.2.3.2	Modo comune	75
4.2.4	Risposta in frequenza.....	76
4.3	Bibliografia	78
5	La rete digitale	80
5.1	Organizzazione logica	80
5.2	Controllo del front-end analogico.....	82

5.2.1	La rete di demodulazione.....	83
6	Simulazioni e misure sperimentali	91
6.1	Connettività.....	91
6.2	Generazione della sinusoide di stimolo.....	93
6.3	Amplificatore da strumentazione	95
6.4	Utilizzo del DSG come DAC	98
6.5	ADC.....	100
6.6	Prestazioni del sistema complessivo	101
6.6.1	Prestazioni attese in termini di risoluzione	102
	Conclusioni	104

Indice delle figure

Figura 1.1 Esempio di misura di resistenza basata su ponte di Wheatstone. La resistenza del sensore, incognita, è indicata con R.	4
Figura 1.2 Esempio di interfaccia per la lettura di un sensore capacitivo (C_x), che implementa la tecnica CDS per la riduzione dell'offset e del rumore dell'amplificatore.	5
Figura 1.3 Modulo (linee rosse) e fase (linee blu) di un sensore di tipo MIPS, in presenza di molecole assorbite (cerchi pieni) o in assenza di molecole assorbite (cerchi vuoti).	6
Figura 2.1 Schema a blocchi del LMP910000 di TI.	13
Figura 2.2 Schema a blocchi dell'integrato AD5933 prodotto da Analog Devices. Lo stadio di stimolazione è evidenziato in rosso; in verde lo stadio di ricezione.	14
Figura 2.3 Schema a blocchi semplificato del sistema.	16
Figura 2.4 Layout complessivo del sistema.	17
Figura 2.5 Sistema di reazione. Il blocco sulla sinistra rappresenta sia il DSG che il VSCM.	19
Figura 2.6 Configurazione per misurazioni di tipo impedenziometrico a 4 terminali.	20
Figura 2.7 Schema per la misura di impedenza a due terminali.	20
Figura 2.8 Configurazione per applicazioni con sensori elettrochimici. ...	21
Figura 2.9 Configurazione per utilizzo con ponte di Wheatstone.	22
Figura 3.1 Schema di principio del DSG.	26
Figura 3.2 Schema circuitale semplificato del sistema di generazione del segnale sinusoidale all'interno del DSG.	27

Figura 3.3 Rete per la generazione dei campioni della sinusoide.	28
Figura 3.4 La linea rossa schematizza l'andamento di un periodo temporale della tensione V_c . L'aggiornamento di ogni campione avviene in corrispondenza di un fronte del clock di sistema.	29
Figura 3.5 Schema del sistema di generazione della sinusoide, in cui la rete di generazione dei campioni è stata sostituita con il relativo equivalente di Thevenin.	30
Figura 3.6 Effetto di feed-forward del segnale di ingresso. In corrispondenza di un gradino negativo in ingresso all'operazionale, la risposta a regime (linea verde) è data da un gradino positivo. Ma per effetto del tempo di risposta finito del sistema di reazione, inizialmente l'uscita segue l'andamento del segnale di ingresso.	32
Figura 3.7 Inserendo le resistenze R_1 ed R_2 è possibile ridurre l'effetto del feed-forward senza alterare la risposta in frequenza del sistema.	32
Figura 3.8 Simulazioni del funzionamento del sistema per una sinusoide generata utilizzando 8 campioni. Sulla sinistra (a) è rappresentato il segnale di uscita affetto dal fenomeno del feed-forward, che determina un impulso con andamento opposto alla derivata del segnale, per ogni aggiornamento dei campioni. A destra (b) è visibile invece l'effetto di riduzione del fenomeno, ottenuto introducendo le resistenze in serie.	33
Figura 3.9 L'uscita dell'amplificatore operazione non è connessa direttamente alla capacità di reazione.	34
Figura 3.10 Esempio di misura a 4 terminali (a) e a 2 terminali (b).	34
Figura 3.11 Schema di principio del DAC per la regolazione della tensione di uscita del DSG/VSCM. In verde è evidenziata la rete per la generazione della tensione di riferimento V_{DAC} . In blu la rete per la lettura del valore della continua di uscita. In rosso l'integratore di Miller. In giallo la capacità che opera la reazione.	35
Figura 3.12 Fasi di lavoro del DAC.	37
Figura 3.13 Risposta al gradino del DAC per $A=0$, $A=0.5$ a $A=-0.5$	41
Figura 3.14 Istanti di campionamento della sinusoide, distanti mezzo periodo. Il valore di uscita al tempo t_{c1} è campionato con la capacità C_{U1} ; il valore di uscita al tempo t_{c2} è campionato con la capacità C_{U2}	42
Figura 3.15 Sistema di controllo della tensione continua di uscita adattato per l'integrazione con la rete di generazione della sinusoide.	44

Figura 3.16 A sinistra è riportato lo schema di principio di uno stadio di uscita in classe A, mentre a destra è raffigurato l'equivalente in classe A/B. Entrambi gli stadi sono rappresentati con carico resistivo e carico capacitivo collegati.....	46
Figura 3.17 Schema di principio dell'architettura QTL.	47
Figura 3.18 Stato dei transistor ed andamento della tensione di uscita per differenti segnali di ingresso. Da sinistra, verso destra: grande segnale negativo, piccolo segnale, grande segnale positivo.....	48
Figura 3.19 Schema circuitale semplificato dello stadio di uscita dell'amplificatore in classe A/B implementato. In verde sono evidenziati i transistor che determinano la relazione QTL. In rosso è evidenziata la catena di reazione. In blu è rappresentato lo stadio di uscita.....	49
Figura 3.20 Porzione di circuito che regola la corrente di riposo dei transistor M9 e M10.	50
Figura 3.21 Schema complessivo dell'amplificatore. In blu è raffigurato il percorso di amplificazione del segnale differenziale di ingresso.	51
Figura 3.22 Schema delle fasi per la rete di regolazione della tensione continua effettivamente implementato su chip.	56
Figura 3.23 Esempio di sincronismo fra il contatore per la generazione della sinusoide e il contatore per la regolazione della tensione continua, nel caso di 16 campioni.....	57
Figura 3.24 Schema di principio del VSCM, comprensivo della resistenza R_{SNS} per la lettura della corrente che scorre nel DUT. La tensione V_{SNS} viene inviata in ingresso all'amplificatore da strumentazione.	60
Figura 4.1 Schema di principio dell'amplificatore da strumentazione a tre-opamp.	64
Figura 4.2 Amplificatore a tre-opamp. Nel caso di modo comune di ingresso prossimo ai rail, un eventuale guadagno del primo stadio dell'amplificatore può portare a un clipping della tensione a modo differenziale.	65
Figura 4.3 Schema di principio di un amplificatore ICF fully-differential con modulazione chopper.....	66
Figura 4.4 Utilizzo dell'amplificatore da strumentazione per misure di impedenza (a) e per misure in DC (b). Si noti come in entrambi i casi sia necessaria la presenza di un modulatore in uscita all'amplificatore e come il modo comune di	

ingresso possa variare in modo non predicibile all'interno dei rail di alimentazione.....	67
Figura 4.5 Schema semplificato dell'amplificatore implementato.	68
Figura 4.6 Rete di controllo del segnale di modo comune di uscita, che aziona i generatori di bias I_{OR}	69
Figura 4.7 Caratteristica di trasferimento differenziale in DC (guadagno 20) per differenti modi comuni di ingresso (a); tensione differenziale di uscita in funzione del modo comune di ingresso per guadagno pari 20 e segnale differenziale di ingresso pari a 40 mV (b). I dati sono stati tratti da misure sperimentali sulla terza release del sistema.	70
Figura 4.8 Schema circuitale dei blocchi OTA utilizzati per lo stadio di ingresso dell'amplificatore. Si notino sulla sinistra le coppie p-n e sulla destra l'implementazione folded-cascode.	70
Figura 4.9 Schema di principio di un amplificatore da strumentazione con modulazione chopper.....	71
Figura 4.10 Modulazione chopper in uscita integrata nell'amplificatore.	71
Figura 4.11 Utilizzo contemporaneo di chopping e demodulazione, in fase sulla sinistra, e in quadratura, sulla destra. I segnali, dall'alto verso il basso, sono: tensione differenziale di ingresso, modulazione in ingresso, modulazione in uscita, tensione differenziale in uscita all'amplificatore.	72
Figura 4.12 Stadio di ingresso dell'amplificatore comprensivo delle catene di compensazione a modo differenziale ($R_{CD}-C_{CD}$) e a modo comune ($R_{CC}-C_{CC}$). La funzione delle capacità C_{ZN} sarà discusso nel paragrafo relativo alla risposta in frequenza.....	73
Figura 4.13 Circuito equivalente dello stadio di ingresso (solo metà circuito è disegnata) per segnali di ingresso a modo differenziale (a) e a modo comune (b).	74
Figura 4.14 Circuito di piccolo segnale utilizzato per investigare la risposta in frequenza dell'amplificatore, come funzione di trasferimento fra la corrente di piccolo segnale in M1 (M2) e la tensione di ingresso differenziale. Nel disegno, $R_{1A}=R_1/2$	77
Figura 5.1 Schema del chip. I blocchi in rosa sono tutti riferiti alla rete digitale. Immagine tratta dal datasheet del sistema.	81
Figura 5.2 Configurazione del front-end analogico per la lettura di una impedenza incognita Z_X . In giallo è evidenziato il DSG, mentre il verde è evidenziato il VSCM.....	83

Figura 5.3 Schema a blocchi della rete digitale per la generazione dei segnali di demodulazione.	84
Figura 5.4 Nella tabella sono riportati i livelli logici che deve assumere il segnale di demodulazione, al variare dello sfasamento richiesto, per demodulazione in prima armonica.	86
Figura 5.5 Nella tabella sono riportati i livelli logici che deve assumere il segnale di demodulazione, al variare dello sfasamento richiesto, per demodulazione in seconda armonica.	86
Figura 6.1 Layout del chip. Le metal rappresentate in bianco nella regione evidenziata dal rettangolo rosso costituiscono gli elettrodi on-chip.	92
Figura 6.2 Schema a blocchi del sistema di mux per la selezione delle porta di stimolo e della porta di lettura.	93
Figura 6.3 Simulazione del sistema di generazione della sinusoide per numero 16 campioni.	93
Figura 6.4 Simulazione del sistema di generazione della sinusoide per numero di campioni e tensione continua variabili.	94
Figura 6.5 Fotografia del segnale sinusoidale (8 campioni) su oscilloscopio.	94
Figura 6.6 Fotografia del segnale sinusoidale (32 campioni) su oscilloscopio.	94
Figura 6.7 Fotografia del segnale sinusoidale (128 campioni) su oscilloscopio.	95
Figura 6.8 Risposta in frequenza (simulata) come funzione di trasferimento fra la corrente che scorre negli stadi di replica e tensione differenziale di ingresso. Si noti come la risposta risulti piatta fino a frequenze di circa 4MHz.	95
Figura 6.9 Rumore di uscita dell'amplificatore con modulazione chop attiva alla frequenza di circa 50kHz.	96
Figura 6.10 Estrazione (simulata) della componente in fase e della componente in quadratura del segnale di uscita per segnale di ingresso sinusoidale in AC con ampiezza di circa 40 mV.	96
Figura 6.11 Guadagno dell'amplificatore in funzione della frequenza di chop (in Hz). Si noti come per frequenze fino a circa 100kHz non si abbiano sostanziali decrementi del guadagno.	97
Figura 6.12 Caratteristica di trasferimento differenziale in DC (guadagno 20) per differenti modi comuni di ingresso (a); tensione differenziale di uscita in funzione del modo comune di ingresso per guadagno pari 20 e segnale	

differenziale di ingresso pari a 40 mV (b). I dati sono stati tratti da misure sperimentali sulla terza release del sistema	97
Figura 6.13 Tensione di uscita prodotta dal DSG al variare del codice di conversione.	98
Figura 6.14 Non linearità differenziale.	99
Figura 6.15 Non linearità integrale.	99
Figura 6.16 Uscita dell'ADC a confronto con quella ideale, per tensioni di ingresso variabili fra $\pm 10\text{mV}$	100
Figura 6.17 Uscita dell'ADC per tensioni di ingresso variabili fra $\pm 20\text{mV}$	100
Figura 6.18 Bus Pirate (sulla sinistra) e board con il chip (a destra).	101
Figura 6.19 Valori di resistenza misurati in 18 letture consecutive.....	102

Indice delle tabelle

Tabella 3-1 Esempio del sistema di codifica utilizzato nel caso di 16 campioni (corrispondenti a numero 8 capacità).	52
Tabella 3-2 Estratto del codice VHDL della rete di controllo del front-end analogico, in cui è descritto il funzionamento del contatore per la generazione dei campioni. Il segnale autozero-stop-signal è utilizzato per la sincronizzazione con la macchina digitale per la regolazione della tensione continua. Il segnale PI_TOGGLE determina la polarità della sinusoide.....	53
Tabella 3-3 Porzione di codice VHDL relativo alla codifica termometrica.	54
Tabella 3-4 Estratto di codice VHDL in cui viene definita la fase del ciclo di conversione in funzione dell'uscita del contatore <i>autozero_counter</i>	55
Tabella 3-5 Durata della fasi in funzione del numero di campioni.	58
Tabella 3-6 Codice VHDL della codifica termometrica.	58
Tabella 5-1 Codice VHDL per il contatore della rete di demodulazione, <i>demod_counter</i>	87
Tabella 5-2 Codice VHDL per la generazione dei segnali per i modulatori chopper.	87
Tabella 5-3 Codice VHDL per la generazione del segnale di demodulazione in funzione del valore di uscita del contatore <i>demod_counter</i>	88
Tabella 5-4 Codice VHDL per l'implementazione del phase-shifter.	90

Introduzione

Nell'ultimo decennio si è assistito ad un forte sviluppo tecnologico nel campo dei sensori integrati [1]. La spinta verso l'integrazione, partita dai sensori di tipo inerziale, coinvolge ad oggi una vasta categoria di sensori, quali ad esempio i sensori dedicati all'identificazione di specie chimiche in fase liquida o in fase aeriforme, che destano interesse in molti campi: controllo dei processi produttivi, controllo qualità, medicina, discipline forensi, controllo dell'inquinamento, difesa.

Tuttavia, a dispetto di quanto avvenuto per i sensori, gli strumenti per l'acquisizione dei dati forniti da detti dispositivi non hanno ricevuto la stessa spinta verso l'integrazione. Letture accurate e affidabili dei sensori richiedono di ricorrere a strumentazione da laboratorio, in quanto gli attuali dispositivi integrati non rispondono alle reali necessità delle tecniche di misura comunemente utilizzate (ad esempio, voltammetria ed impedenziometria a tre elettrodi). E di fatto, ad oggi non esistono dispositivi integrati commerciali in grado di sostituire efficacemente la strumentazione da laboratorio. In letteratura è possibile trovare alcune proposte a riguardo, ma comunque soggette a limiti che richiedono lo sviluppo di soluzioni differenti.

Nel tentativo di colmare tali lacune il lavoro di tesi è stato incentrato sulla progettazione di un sistema integrato "*general purpose*" per l'acquisizione di dati da una grande varietà di sensori di specie chimiche. In particolare, il sistema è stato progettato per potersi interfacciare tutta quella classe di sensori che richiede misure di tipo impedenziometrico – quali ad esempio i sensori MIP (molecularly imprinted polymers), tecnologia molto promettente nell'ambito della rilevazione molecolare [2] – e misure di tipo elettrochimico.

Il progetto è stato ideato dalla "Sensichip Srl" ed ha coinvolto tre gruppi di ricerca, tra cui il gruppo del Prof. Paolo Bruschi del Dipartimento

dell'Informazione dell'Università di Pisa, che oltre ad aver sviluppato l'intero front-end analogico del sistema, ha avuto il ruolo di coordinatore e di responsabile dell'integrazione complessiva.

Il dispositivo è stato progettato con requisiti fortemente low-power, ormai imprescindibili per le applicazioni portatili, ed utilizzando la tecnologia di processo UMC Mixed-Signal/RFCMOS 0,18 μ m, scelta per l'ottimo compromesso fra prestazioni e costo.

Relativamente all'organizzazione del testo, nel **Capitolo 1** sono riassunte le principali classificazioni delle interfacce per sensori e sono presentate le più comuni tecniche di misura. Nel **Capitolo 2** è fornita una breve panoramica dello state dell'arte nell'ambito delle interfacce integrate ed è descritto nel suo complesso il sistema sviluppato. Nel **Capitolo 3** sono presentate le reti per la generazione dei segnali di stimolo, cuore del front-end-analogico; mentre nel **Capitolo 4** viene analizzato l'amplificatore da strumentazione integrato nel canale di lettura. La rete digitale, che implementa tutta la logica di controllo delle funzionalità del sistema, è introdotta nel **Capitolo 5**. Infine, nel **Capitolo 6** sono presentati i risultati delle simulazioni e delle prove sperimentali effettuate sui prototipi.

1 Interfacce per sensori

I sensori sono dispositivi che convertono i parametri chimici e fisici dell'ambiente in una informazione “analiticamente utile”, che di solito è rappresentata da una grandezza elettrica (e.g. tensione, corrente, carica, impedenza). Tali grandezze convertite, possono poi essere convenientemente misurate utilizzando apposite interfacce, costituite da circuiti che condizionano i segnali elettrici prodotti dal sensore e li rendono disponibili per successive elaborazioni (e.g. visualizzazione a schermo, elaborazione digitale, azionamento di trasduttori). Spesso ci si riferisce a queste interfacce con il nome di front-end analogici (AFE), soprattutto in riferimento a dispositivi commerciali. Con tale terminologia, si designano tutte quelle interfacce per sensori che utilizzano circuiti analogici dedicati, con caratteristiche di modularità e di flessibilità che li rendono adattabili a differenti metodologie di misura.

1.1 Applicazioni delle interfacce per sensori

I segnali prodotti dai sensori mostrano spesso caratteristiche elettriche non direttamente compatibili con i requisiti dei circuiti elettronici di elaborazione (e.g. convertitore analogico/digitale), o perché l'informazione utile è nascosta in una grandezza (e.g. frequenza, carica, etc.) che richiede una ulteriore trasformazione prima di essere elaborata, o perché il segnale prodotto non è in linea con le specifiche richieste dai blocchi. Per queste ragioni, una delle principali funzioni delle interfacce per sensori è operare un *condizionamento* del segnale “grezzo” prodotto dal sensore, che ne modifichi le caratteristiche elettriche, rendendole compatibili con i requisiti dei successivi circuiti.

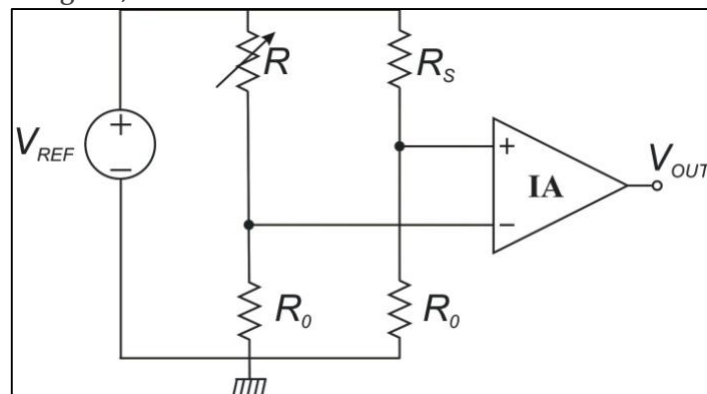
In aggiunta al *condizionamento* del segnale, le interfacce per sensori svolgono spesso anche una funzione di *stimolo* per il sensore. In molti sensori infatti, la grandezza elettrica prodotta non dipende esclusivamente dalla grandezza che il sensore misura, ma è funzione anche di uno stimolo esterno fornito al sensore dall'interfaccia di lettura (e.g. tensione, corrente).

Nel seguito sarà presentata una breve panoramica delle interfacce utilizzate con le tipologie di sensori più diffusi: sensori resistivi, sensori capacitivi, sensori di specie chimiche.

1.2 Interfacce per sensori resistivi

I sensori resistivi misurano le grandezze fisiche di interesse (e.g. temperatura, pressione) convertendole in una variazione del valore di resistenza del sensore stesso. È quindi possibile ricavare il valore della grandezza fisica di interesse passando attraverso una misura diretta della resistenza del sensore. In DC, le interfacce più comunemente utilizzate per questo tipo di misurazioni sono basate su ponte di Wheatstone, la cui tensione di uscita è letta per mezzo di un amplificatore operazionale (Figura 1.1).

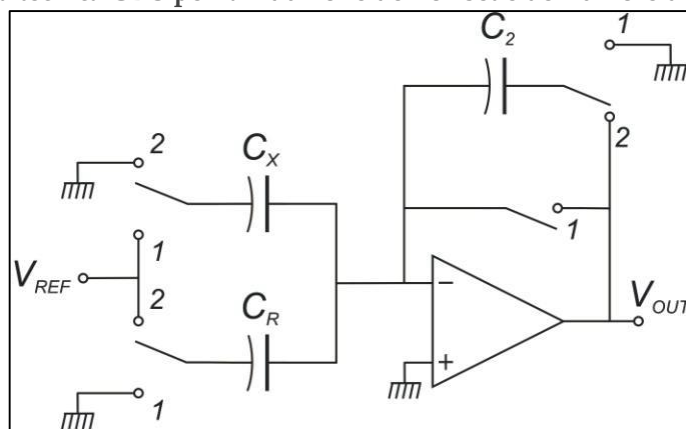
Figura 1.1 Esempio di misura di resistenza basata su ponte di Wheatstone. La resistenza del sensore, incognita, è indicata con R .



1.3 Interfacce per sensori capacitivi

In analogia ai sensori resistivi, i sensori capacitivi convertono la grandezza fisica da misurare G , in una variazione della capacità del sensore. I sensori capacitivi trovano largo impiego in numerose applicazioni, quali ad esempio accelerometri, sensori di umidità e sensori di vibrazioni [8], in virtù della loro bassa sensibilità alla temperatura e dei ridotti consumi di potenza.

Figura 1.2 Esempio di interfaccia per la lettura di un sensore capacitivo (C_X), che implementa la tecnica CDS per la riduzione dell'offset e del rumore dell'amplificatore.



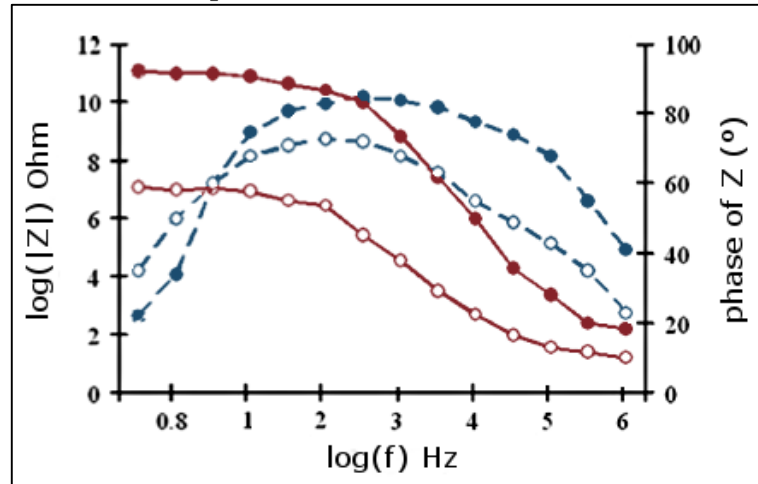
In letteratura è possibile reperire numerose tipologie di interfacce per sensori capacitivi [9][10]. Tra queste, i sistemi switched-capacitor [11][12][13] risultano particolarmente convenienti, poiché consentono di implementare banalmente tecniche quali la correlated-double-sampling [14] o la autozero, per la riduzione dell'offset e del rumore introdotti dall'amplificatore (un esempio è riportato in Figura 1.2).

1.4 Interfacce per sensori elettrochimici

I sensori elettrochimici trasformano informazioni di tipo chimico (e.g. concentrazione di ioni, presenza di molecole) in una grandezza elettrica più facilmente misurabile. Fra questi, una categoria di sensori dalle prestazioni molto promettenti è rappresentata dai sensori di tipo MIPs (Molecularly Imprinted Polymers) [16][17][18][19][20][21][22]. Un dispositivo MIP è una matrice polimerica in cui sono presenti delle cavità adatte all'inglobamento di molecole

predefinite. Le cavità hanno la conformazione di uno “stampo”, per le molecole di interesse, aumentandone fortemente la selettività del sensore.

Figura 1.3 Modulo (linee rosse) e fase (linee blu) di un sensore di tipo MIPS, in presenza di molecole assorbite (cerchi pieni) o in assenza di molecole assorbite (cerchi vuoti).



Solitamente, i dispositivi MIPS presentano una impedenza che varia in funzione della concentrazione di analita assorbito dal sensore. Utilizzando tecniche dedicate per la misura dell'impedenza del sensore, quali ad esempio la electrochemical impedance spectroscopy (EIS), è perciò possibile risalire alla concentrazione dell'analita nell'ambiente.

1.4.1 Electrochemical Impedance Spectroscopy (EIS)

La Electrochemical impedance spectroscopy (EIS), è una tecnica di misura in cui i dati prodotti dal sensore di interesse (DUT) sono acquisiti mediante misure di impedenza. Le tecniche EIS possono quindi essere vantaggiosamente utilizzate sia per interfacciare sensori di tipo MIPS [27] [28], sia per la lettura di sensori più convenzionali (e.g. resistivi e/o capacitivi). Per quanto concerne i campi di applicazione, le tecniche EIS sono correntemente utilizzate per l'analisi della qualità delle celle solari dye-sintetized [29], per la diagnosi delle fuel-cell [30], per l'analisi di campioni biologici [31] e per numerose altre applicazioni.

A seconda della precisione richiesta, possono essere effettuate misurazioni a 2 o a 4 terminali [32] e ove necessario, il DUT può essere polarizzato con una tensione in DC, a cui si sovrappone il vero e proprio segnale di stimolo in AC. Nelle implementazioni più comuni, il DUT è stimolato in tensione e la corrente che fluisce nel dispositivo è misurata tramite un amplificatore da strumentazione. La

demodulazione in fase e in quadratura del segnale, può poi essere convenientemente effettuata utilizzando una tecnica lock-in [33][34][35].

1.5 Bibliografia

- [1] Simon Min Sze, Semiconductor sensors.: John Wiley \& Sons, 1994.
- [2] Texas Instrument, "<http://www.ti.com/>".
- [3] Atmel, "<http://www.atmel.com/>".
- [4] Analog Devices, "<http://www.analog.com/en/index.html>".
- [5] Petros Argyrakis et al., "Fabrication and characterization of a wind sensor for integration with a neuron circuit," *Microelectronic Engineering*, vol. 84, no. 5, pp. 1749-1753, 2007.
- [6] M Piotto et al., "Design and Fabrication of a Compact p--v Probe for Acoustic Impedance Measurement," in *Sensors and Microsystems.*: Springer, 2014, pp. 53-56.
- [7] Massimo Piotto, Federico Butti, Alessia Di Pancrazio, and Paolo Bruschi, "Low Voltage Acoustic Particle Velocity Sensor with Integrated Low Noise Chopper Pre-amplifier," *Procedia Engineering*, vol. 87, pp. 736-739, 2014.
- [8] Lion Precision, "<http://www.capacitivesensors.com/>".
- [9] Nicolo Nizza, Michele Dei, Federico Butti, and Paolo Bruschi, "A low-power interface for capacitive sensors with PWM output and intrinsic low pass characteristic," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 60, no. 6, pp. 1419-1431, 2013.
- [10] Andrzej Cichocki and Rolf Unbehauen, "A switched-capacitor interface for capacitive sensors based on relaxation oscillators," *Instrumentation and Measurement, IEEE Transactions on*, vol. 39, no. 5, pp. 797-799, 1990.
- [11] Kaznyuki Kondo and Kenzo Watanabe, "A switched-capacitor interface for capacitive sensors with wide dynamic range," *Instrumentation and Measurement, IEEE Transactions on*, vol. 38, no. 3, pp. 736-739, 1989.
- [12] Mitsuhiro Yamada, Takashi Takebayashi, S-I Notoyama, and Kenzo Watanabe, "A switched-capacitor interface for capacitive pressure sensors," *Instrumentation and Measurement, IEEE Transactions on*, vol. 41, no. 1, pp. 81-86, 1992.

- [13] Xiujun Li and Gerard CM Meijer, "An accurate interface for capacitive sensors," *Instrumentation and Measurement, IEEE Transactions on*, vol. 51, no. 5, pp. 935-939, 2002.
- [14] Christian C Enz and Gabor C Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584-1614, 1996.
- [15] Adam Hulanicki, Stanislav Glab, and Folke Ingman, "Chemical sensors: definitions and classification," *Pure and applied chemistry*, vol. 63, no. 9, pp. 1247-1250, 1991.
- [16] Elodie Pardieu et al., "Molecularly imprinted conducting polymer based electrochemical sensor for detection of atrazine," *Analytica chimica acta*, vol. 649, no. 2, pp. 236-245, 2009.
- [17] Dhana Lakshmi et al., "Electrochemical sensor for catechol and dopamine based on a catalytic molecularly imprinted polymer-conducting polymer hybrid recognition element," *Analytical chemistry*, vol. 81, no. 9, pp. 3576-3584, 2009.
- [18] Francesca Berti et al., "Quasi-monodimensional polyaniline nanostructures for enhanced molecularly imprinted polymer-based sensing," *Biosensors and Bioelectronics*, vol. 26, no. 2, pp. 497-503, 2010.
- [19] Chonlatid Sontimuang, Roongnapa Suedee, and Franz Dickert, "Interdigitated capacitive biosensor based on molecularly imprinted polymer for rapid detection of Hev b1 latex allergen," *Analytical biochemistry*, vol. 410, no. 2, pp. 224-233, 2011.
- [20] Ruizhuo Ouyang, Jianping Lei, Huangxian Ju, and Yadong Xue, "A molecularly imprinted copolymer designed for enantioselective recognition of glutamic acid," *Advanced Functional Materials*, vol. 17, no. 16, pp. 3223-3230, 2007.
- [21] Tetyana L Delaney et al., "Capacitive detection in ultrathin chemosensors prepared by molecularly imprinted grafting photopolymerization," *Analytical chemistry*, vol. 79, no. 8, pp. 3220-3225, 2007.

- [22] Joseph J BelBruno, G Zhang, and UJ Gibson, "Capacitive sensing of amino acids in molecularly imprinted nylon films," *Sensors and Actuators B: Chemical*, vol. 155, no. 2, pp. 915-918, 2011.
- [23] Wen-Yaw Chung et al., "New ISFET interface circuit design with temperature compensation," *Microelectronics Journal*, vol. 37, no. 10, pp. 1105-1114, 2006.
- [24] Abdelhamid Errachid, Nadia Zine, Josep Samitier, and Joan Bausells, "FET-Based Chemical Sensor Systems Fabricated with Standard Technologies," *Electroanalysis*, vol. 16, no. 22, pp. 1843-1851, 2004.
- [25] Arkadiy Morgenshtein, Liby Sudakov-Boreyscha, Uri Dinnar, Claudio G Jakobson, and Yael Nemirovsky, "Wheatstone-Bridge readout interface for ISFET/REFET applications," *Sensors and Actuators B: Chemical*, vol. 98, no. 1, pp. 18-27, 2004.
- [26] Cheng Fang, Chenglin Yi, Yang Wang, Yuhua Cao, and Xiaoya Liu, "Electrochemical sensor based on molecular imprinting by photo-sensitive polymers," *Biosensors and Bioelectronics*, vol. 24, no. 10, pp. 3164-3169, 2009.
- [27] Ronald Thoelen et al., "A MIP-based impedimetric sensor for the detection of low-MW molecules," *Biosensors and Bioelectronics*, vol. 23, no. 6, pp. 913-918, 2008.
- [28] Tatiana L Panasyuk, Vladimir M Mirsky, Sergey A Piletsky, and Otto S Wolfbeis, "Electropolymerized molecularly imprinted polymers as receptor layers in capacitive chemical sensors," *Analytical Chemistry*, vol. 71, no. 20, pp. 4609-4613, 1999.
- [29] Francisco Fabregat-Santiago, Juan Bisquert, Emilio Palomares, Saif A Haque, and James R Durrant, "Impedance spectroscopy study of dye-sensitized solar cells with undoped spiro-OMeTAD as hole conductor," *Journal of applied physics*, vol. 100, no. 3, p. 034510, 2006.
- [30] Scribner, "<http://www.scribner.com>".
- [31] Alastair H Kyle, Carmel TO Chan, and Andrew I Minchinton, "Characterization of three-dimensional tissue cultures using electrical impedance spectroscopy," *Biophysical journal*, vol. 76, no. 5, pp. 2640-2648, 1999.

- [32] Pil Joong Yoo, Dae Hyun Lee, Tong In Oh, and Eung Je Woo, "Wideband bio-impedance spectroscopy using voltage source and tetra-polar electrode configuration," in *Journal of Physics: Conference Series*, vol. 224, 2010, p. 012160.
- [33] Cristiano Azzolini, Alessandro Magnanini, Matteo Tonelli, Giovanni Chiorboli, and Carlo Morandi, "A CMOS vector lock-in amplifier for sensor applications," *Microelectronics Journal*, vol. 41, no. 8, pp. 449-457, 2010.
- [34] G Ferri, P De Laurentiis, A D'Amico, and C Di Natale, "A low-voltage integrated CMOS analog lock-in amplifier prototype for LAPS applications," *Sensors and Actuators A: Physical*, vol. 92, no. 1, pp. 263-272, 2001.
- [35] Mart Min, Olev M, and Toomas Parve, "Lock-in measurement of bio-impedance variations," *Measurement*, vol. 27, no. 1, pp. 21-28, 2000.
- [36] Evgenij Barsoukov and J Ross Macdonald, *Impedance spectroscopy: theory, experiment, and applications.*: John Wiley & Sons, 2005.
- [37] Gamry Instruments, "<http://www.gamry.com>".
- [38] Dropsens, "http://www.dropsens.com/en/screen_printed_electrodes_pag.html".
- [39] Palmsens, "<http://www.palmsens.com/en>".
- [40] Marco Carminati, Giorgio Ferrari, and Marco Sampietro, "Attofarad resolution potentiostat for electrochemical measurements on nanoscale biomolecular interfacial systems," *Review of Scientific Instruments*, vol. 80, no. 12, p. 124701, 2009.

2 Interfaccia integrata general-purpose per sensori di specie chimiche

Nel presente capitolo, l'interfaccia sviluppata nel lavoro di tesi è descritta a livello di sistema. Il sistema è stato progettato utilizzando il processo UMC Mixed-Signal/RFCMOS 0,18 μ m ed è contenuto in una DIE con dimensioni pari a circa 1.5mm². Il consumo di potenza è pari a circa 900 μ W per una tensione di alimentazione di circa 1.8 V. Il chip è stato progettato per avere un range di alimentazione variabile fra 1.5V e 3.3V.

2.1 Stato dell'arte

Sistemi di misura precisi ed accurati sono da sempre disponibili nell'ambito della strumentazione da laboratorio. Nell'ambito dei dispositivi integrati, invece, esistono poche soluzioni, e che presentano importanti limitazioni in termini di versatilità e di prestazioni.

All'interno della letteratura di riferimento, i device sicuramente più interessanti sono rappresentati da:

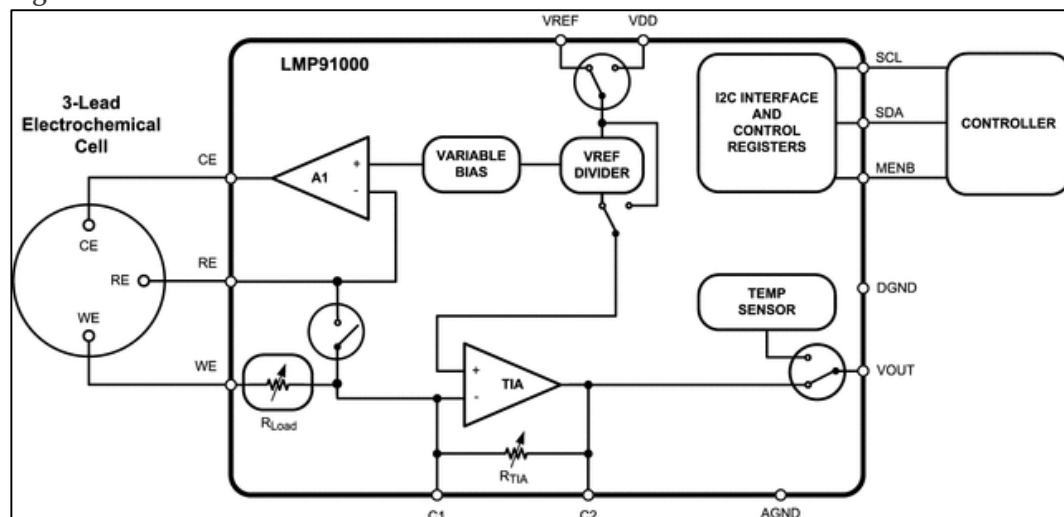
- un progetto relativo all'identificazione del DNA [1], che implementa un algoritmo Frequency Response Analyzer (FRA) [2];
- un dispositivo integrato [3] per la voltammetria ciclica, dotato di un canale di acquisizione amperometrico ad alta sensibilità;
- soluzioni [4][5] rivolte alle analisi elettrochimiche, ma composte unicamente dal canale di lettura; richiedono quindi un sistema esterno per la stimolazione del sensore;
- un sistema per misure di impedenza su array di sensori [6];
- un sistema per applicazioni di impedance spectroscopy, ma limitato da una massima frequenza di stimolo di 10kHz, a meno di non accettare consumi di potenza elevati [7][8].

Oltre alle soluzioni di letteratura, esistono poi alcuni dispositivi commerciali utilizzabili per applicazioni con sensori elettrochimici.

2.1.1 Texas Instrument LMP91000

Dispositivo commerciale per applicazioni elettrochimiche che presenta un'interfaccia basata su protocollo I²C e il cui schema a blocchi è riportato in Figura 2.1. Sebbene il circuito consenta di effettuare efficacemente misure a 3 contatti, la principale limitazione è data dall'impossibilità di effettuare misure a 4 contatti. Non è inoltre adatto a misure di impedenza, poiché privo di un generatore in AC.

Figura 2.1 Schema a blocchi del LMP91000 di TI.



Il sistema è basato su un amplificatore che misura la differenza di tensione del working-electrod e del reference-electrod rispetto a un potenziale di bias,

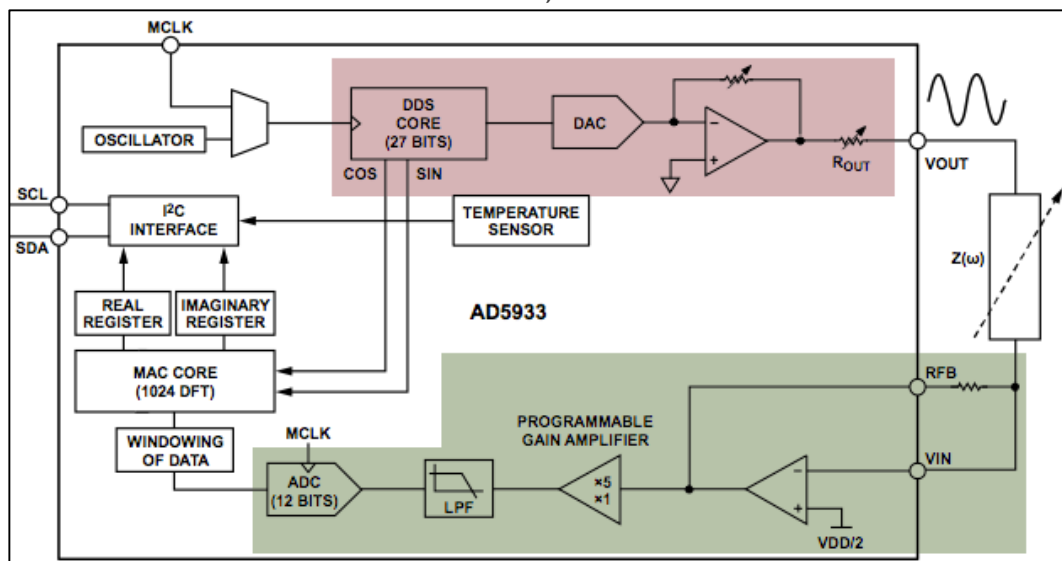
impostato da una rete dedicata. Il segnale di errore misurato, che dipende dall'impedenza del DUT, è applicato al counter-electrod, per mantenere una differenza di potenziale costante fra il working-electrod e il reference-electrod. La corrente che scorre nel working-electrod è infine misurata con un amplificatore transconduttivo (TIA).

2.1.2 Analog Devices AD5933

Un altro esempio di soluzione commerciale è rappresentato dal dispositivo AD5933 prodotto da Analog Devices [10], il cui schema a blocchi è riportato in Figura 2.2.

Il sistema permette di effettuare misure di impedenza a due e a quattro terminali. Il segnale di stimolo in AC è prodotto da un Digital Direct Synthesizer (DDS), seguito da un convertitore digitale analogico (DAC) e da un amplificatore a guadagno programmabile (PGA).

Figura 2.2 Schema a blocchi dell'integrato AD5933 prodotto da Analog Devices. Lo stadio di stimolazione è evidenziato in rosso; in verde lo stadio di ricezione.



La catena di lettura è composta da un convertitore analogico digitale e da un digital signal processing (DSP) che calcola la trasformata discreta di Fourier (DFT) del segnale di corrente letto. Nonostante il sistema risulti nel complesso efficace per la lettura di impedenze, presenta alcune importanti limitazioni:

- è necessaria un'attenta calibrazione del sistema prima del suo utilizzo, senza cui le misurazioni presentano errori molto significativi.
- il range di frequenze di stimolo è limitato fra 0.1 Hz e 100kHz;
- l'intervallo di impedenze misurabili è limitato in basso a un valore di circa 10 k Ω ;
- la presenza di un DSP e di un DDS comporta un consumo di potenza elevato: circa 50mW per una tensione di alimentazione di 3.3V.

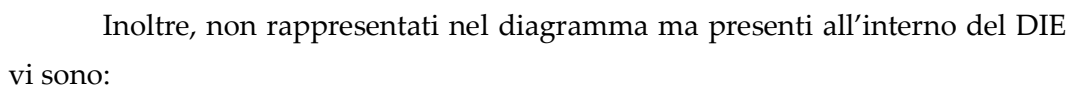
2.2 Il sistema sviluppato

Il sistema sviluppato durante il lavoro di tesi rappresenta una interfaccia integrata versatile, utilizzabile per misure di impedenza e per misure di tipo elettrochimico. La realizzazione su singolo chip e il ridotto consumo di potenza la rendono adatta all'utilizzo con dispositivi *portable*, come ad esempio *smartphone*, *smartwatch* e camere digitali compatte.

Il diagramma a blocchi del sistema è riportato in Figura 2.3, ove si possono distinguere:

- la rete digitale di controllo, composta da:
 - un'interfaccia di comunicazione con l'esterno tramite i protocolli SPI, I²C e un protocollo originale sviluppato all'interno del progetto;
 - una matrice di registri per la programmazione delle funzionalità del chip;
 - una macchina a stati per il controllo della rete di stimolo e del canale di lettura;
 - il filtro CIC del convertitore analogico/digitale Σ - Δ ;
- un bandgap (differenziale e programmabile su 4 livelli) per la generazione delle tensioni di riferimento;
- un blocco per la generazione dei segnali di stimolo del sensore, denominato DSG;
- un blocco amperometrico per il canale di lettura, denominato VSCM;

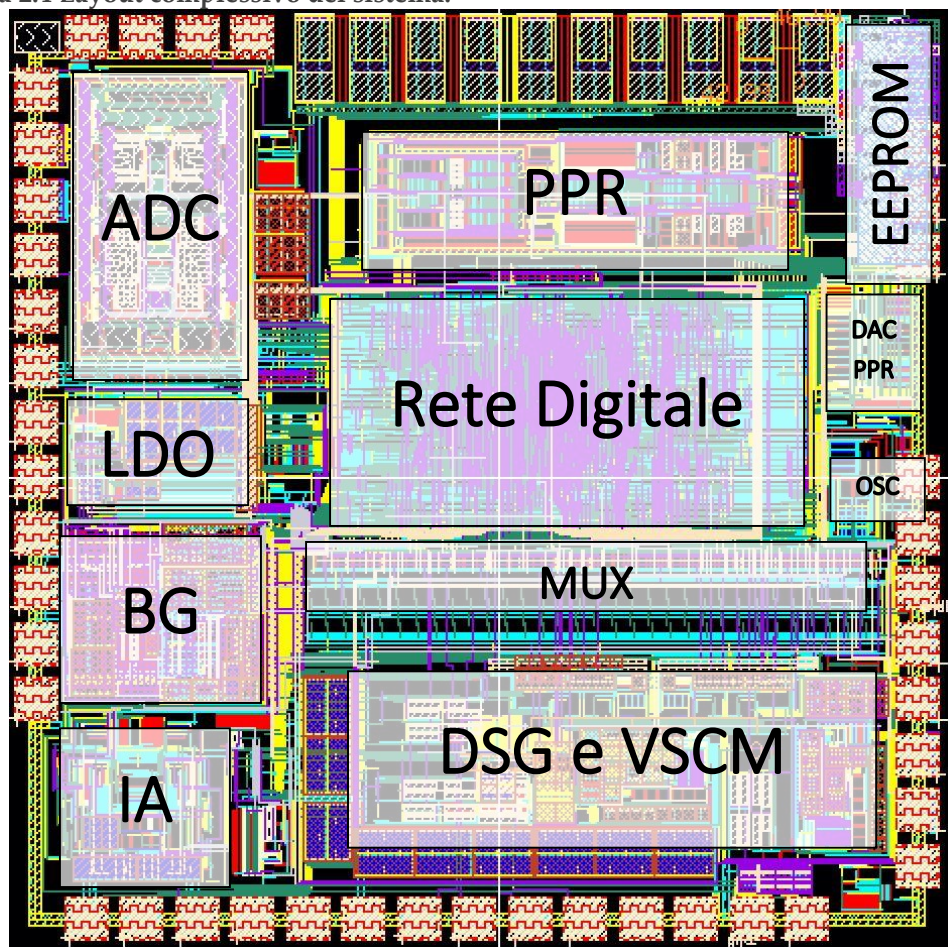
- Figura 2.3 Schema a blocchi semplificato del sistema.**



- 16

- un oscillatore R-C (la cui progettazione è stata oggetto dell'attività di Dottorato);
- un crystal-oscillator;
- circuiti ausiliari per il power-on-reset (POR) e per il check del valore della tensione di alimentazione;
- un sensore di temperatura basato su bandgap;
- un sensore di radiazioni (PPR) e un DAC dedicato per la generazione delle soglie di tensione;
- una EEPROM per l'assegnazione di codici di identificazione univoci ai singoli chip (per applicazioni multi-chip);
- un filtro passa-basso in cascata al demodulatore con funzione di riduzione delle armoniche di demodulazione e di filtro anti-alias;
- un convertitore tensione/corrente opzionalmente attivabile in serie al DSG.

Figura 2.4 Layout complessivo del sistema.



Lo sviluppo del front-end-analogico (DSG; VSCM, IA, BG, LDO), della rete digitale per il controllo del front-end, di tutti i blocchi ausiliari e l'integrazione complessiva del sistema sono state curate dal gruppo di ricerca del Dipartimento di Ingegneria dell'Informazione dell'Università di Pisa coordinato dal Prof. Paolo Bruschi.

Il convertitore analogico-digitale e il relativo filtro sono stati sviluppati dall'Università di Padova.

La sintesi della rete digitale, lo sviluppo dei registri, delle interfacce di comunicazione e la progettazione del sensore di radiazioni sono state effettuate da un gruppo di ricerca del INFN di Cagliari.

2.2.1 Descrizione generale

Il sensore oggetto di misura (DUT) può essere connesso all'interfaccia attraverso i 4 terminali - S_{DSG} , F_{DSG} , S_{VSCM} e F_{VSCM} – (i terminali sono in realtà replicati per le varie porte del chip). Lo stimolo e la lettura del sensore avvengono attraverso i due blocchi che costituiscono il core del sistema: il blocco DSG (direct sinusoid generator) e il blocco VSCM (voltage source current monitor) – entrambi i blocchi sono descritti nel capitolo 3.

Entrambi i blocchi presentano due terminali di uscita: un terminale di SENSE e un terminale di FORCE, utilizzabili per le diverse configurazioni di misura descritte nel paragrafo successivo.

I blocchi possono produrre tensioni in DC indipendenti tra loro e variabili all'interno dei rail di alimentazione (dati sperimentali nel capitolo 6). La programmabilità delle tensioni continue consente sia di effettuare misure di voltammetria sia di fornire una tensione di bias al sensore¹ in applicazioni in AC.

Attraverso il DSG è poi possibile imporre una tensione sinusoidale sovrapposta al livello in DC, con un range di frequenze variabile tra 1Hz e 1MHz e con 16 livelli programmabili di ampiezza, indipendenti² dal livello della tensione in DC.

¹ Alcuni sensori richiedono di essere alimentati con un BIAS in continua.

² Nel rispetto della condizione che la sovrapposizione fra il livello in DC e l'ampiezza della sinusoide non ecceda i valori dei rail.

Il blocco VSCM è utilizzato per convertire in un segnale di tensione la corrente che scorre nel DUT, prima del successivo condizionamento ad opera dell'IA e l'eventuale demodulazione in fase e quadratura (per applicazioni di impedenziometria).

Il convertitore Σ - Δ e il DSEC ricevono entrambi il segnale (eventualmente demodulato) in uscita dall'amplificatore da strumentazione.

Le tensioni prodotte dal DSG e dal VSCM, nonché la tensione differenziale di riferimento dell'ADC sono prodotte dal medesimo bandgap differenziale BG, così che il sistema risulti raziometrico.

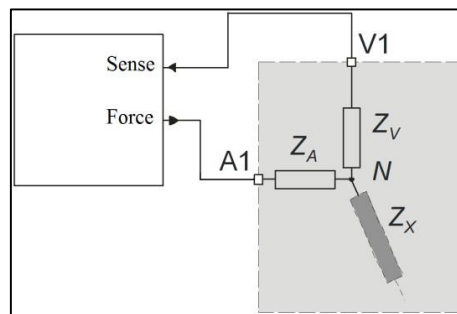
Tutti i blocchi principali (esclusi il blocco LDO e il blocco IA) sono stati progettati utilizzando circuiti switched-capacitor, il cui clock di riferimento può essere sia esterno, che interno: a 10 MHz nel caso dell'oscillatore RC e 10/20 MHz nel caso del crystal-oscillator.

2.2.2 Configurazione per misure di impedenza

Le misure di impedenza possono essere effettuate sia a 2 che a 4 terminali, di cui un esempio è riportato in Figura 2.6. All'interno del blocco in grigio sono raffigurate l'impedenza da misurare Z_X e le impedenze parassite dovute ai contatti.

I terminali di Force (F_{DSG} e F_{VSCM}) impongono il segnale di stimolo in un sistema di reazione (Figura 2.5) che coinvolge i terminali di Sense (S_{DSG} e S_{VSCM}).

Figura 2.5 Sistema di reazione. Il blocco sulla sinistra rappresenta sia il DSG che il VSCM.



La corrente che scorre in questi ultimi può essere considerata trascurabile, così che la corrente che scorre nell'impedenza Z_X , in funzione della differenza di tensione fra S_{DSG} e S_{VSCM} , possa essere considerata indipendente da Z_{V1}, Z_{V2} .

La corrente nel sensore viene letta dal VSCM e convertita in un segnale di tensione trasmesso poi all'amplificatore da strumentazione.

Lo stesso principio può essere sfruttato per effettuare misurazioni a due terminali, cortocircuitando banalmente i terminali F_{DSG} e S_{DSG} e i terminali F_{VSCM} e S_{VSCM} (Figura 2.7).

Figura 2.6 Configurazione per misurazioni di tipo impedenziometrico a 4 terminali.

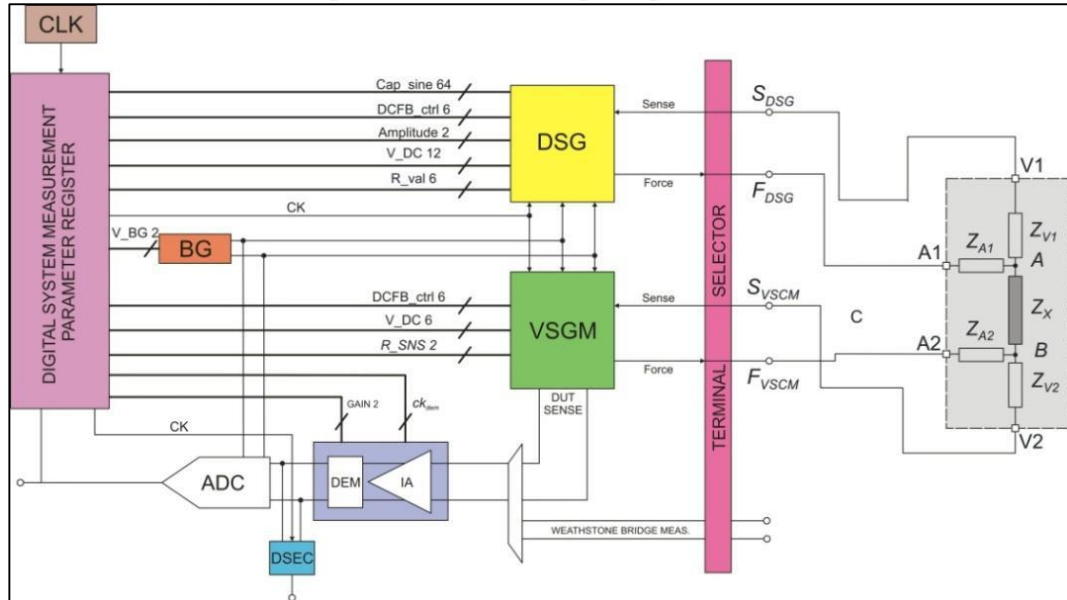
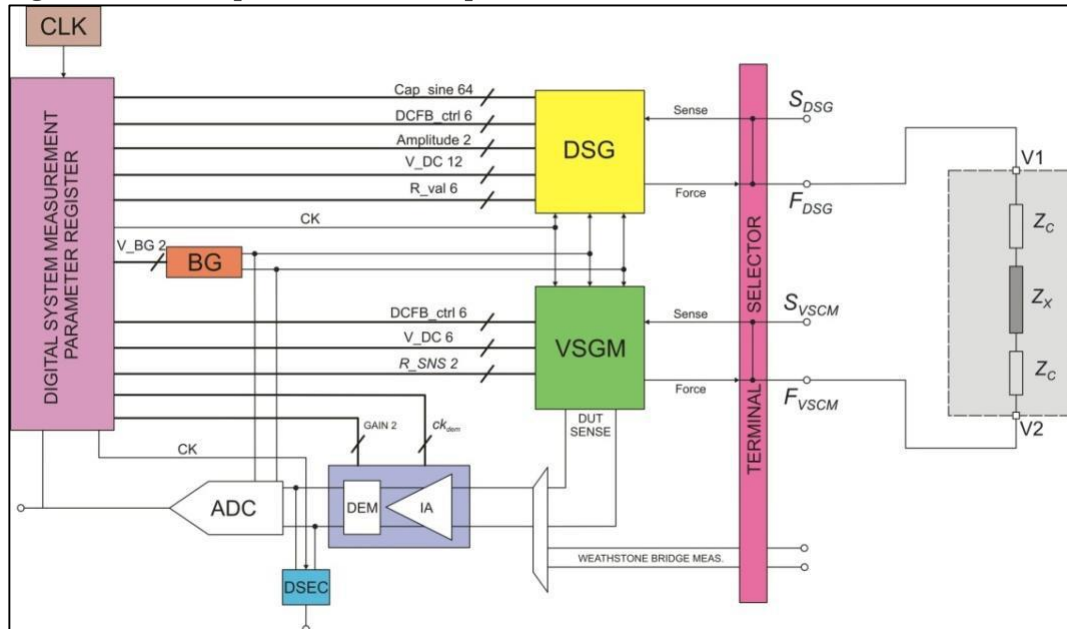


Figura 2.7 Schema per la misura di impedenza a due terminali.

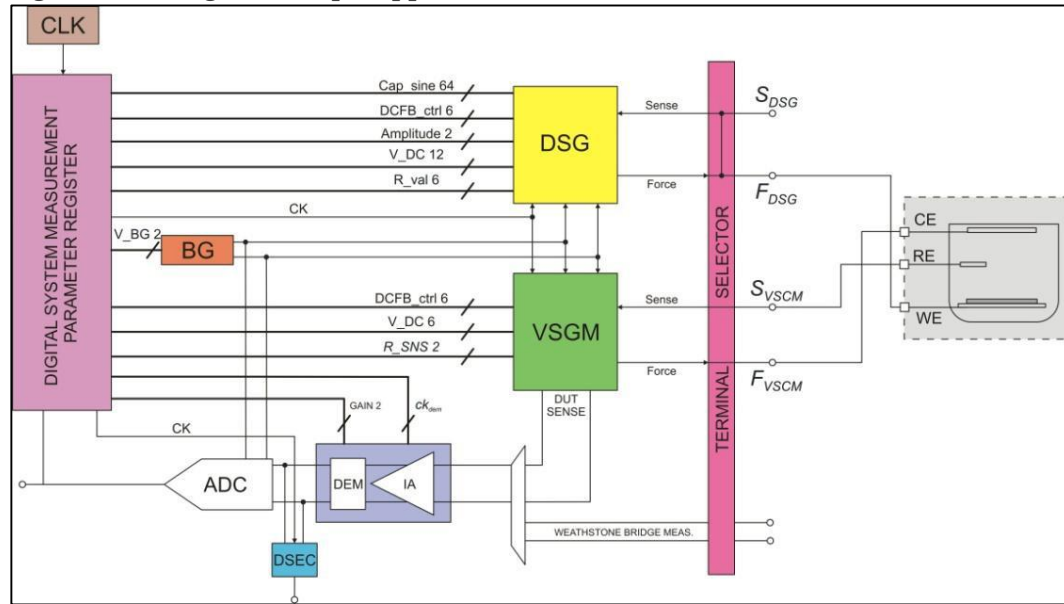


2.2.3 Applicazioni con sensori elettrochimici

Per le applicazioni di Voltammetria lo stimolo del sensore avviene utilizzando tre terminali, rappresentati (Figura 2.8):

- dal terminale F_{VSCM} , che agisce sul counter-electrod (CE);
- dal terminale S_{VSCM} , che agisce sul reference-electrod (RE);
- dai terminali F_{DSG} e S_{DSG} cortocircuitati fra loro, che pilotano il working-electrod (WE) – il WE può essere pilotato sia in DC che attraverso uno stimolo sinusoidale per la voltammetria in AC.

Figura 2.8 Configurazione per applicazioni con sensori elettrochimici.



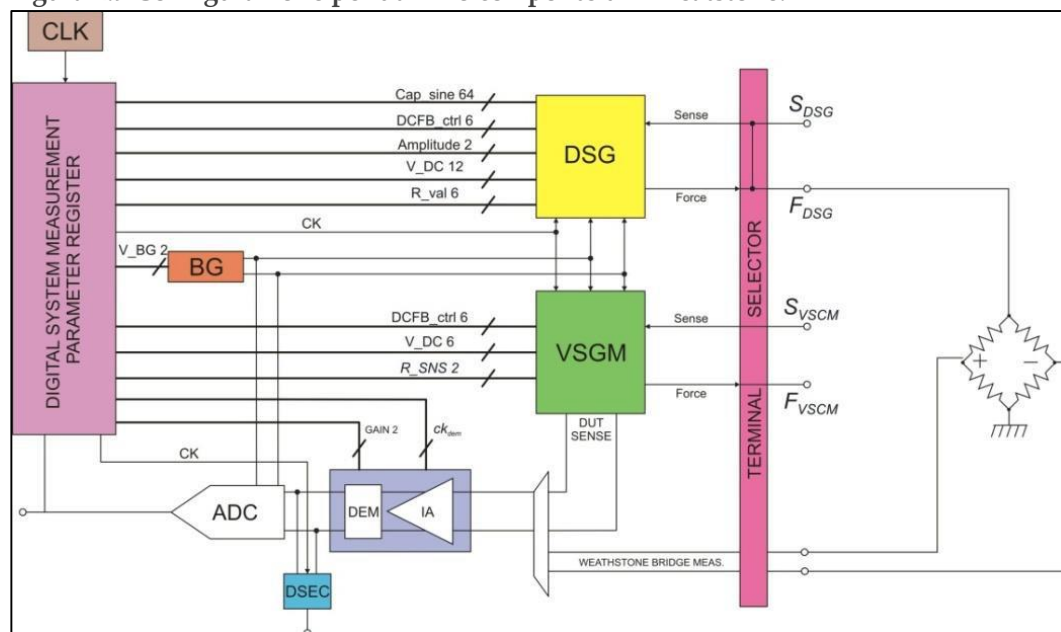
Il terminale S_{VSCM} legge il reference-electrod e attraverso l'anello di reazione con il terminale F_{VSCM} , fornisce la tensione che pilota il CE. Inoltre, il VSCM svolge anche la funzione di lettura della corrente che scorre nel counter-electrod e della sua conversione in tensione per il successivo IA.

2.2.4 Misurazioni tramite ponte di Wheatstone

Il dispositivo può essere convenientemente utilizzato per interfacciare un ponte di Wheatstone esterno al chip.

Il DSG, con i terminali F_{DSG} e S_{DSG} cortocircuitati, pilota il ponte (che presenta l'altro terminale di stimolo connesso a massa) o con stimolo in DC o con stimolo in AC. La tensione differenziale di uscita del ponte è letta connettendo direttamente l'amplificatore da strumentazione alla porta esterna. Il VSCM, non necessario, può essere disattivato per ridurre il consumo di potenza.

Figura 2.9 Configurazione per utilizzo con ponte di Wheatstone.



2.3 Bibliografia

- [1] Hamed Jafari, Leyla Soleymani, and Roman Genov, "16-channel CMOS impedance spectroscopy DNA analyzer with dual-slope multiplying ADCs," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 6, no. 5, pp. 468-478, 2012.
- [2] Evgenij Barsoukov and J Ross Macdonald, *Impedance spectroscopy: theory, experiment, and applications.*: John Wiley & Sons, 2005.
- [3] Jichun Zhang, Nicholas Trombly, and Andrew Mason, "A low noise readout circuit for integrated electrochemical biosensor arrays," in *Sensors*, 2004. *Proceedings of IEEE*, 2004, pp. 36-39.
- [4] Marco Carminati, Giorgio Ferrari, Filippo Guagliardo, Marco Farina, and Marco Sampietro, "Low-noise single-chip potentiostat for nano-bio-electrochemistry over a 1MHz bandwidth," in *Electronics, Circuits, and Systems*, 2009. *ICECS 2009. 16th IEEE International Conference on*, 2009, pp. 952-955.
- [5] Arjang Hassibi and Thomas H Lee, "A Programmable 0.18-CMOS Electrochemical Sensor Microarray for Biomolecular Detection," *Sensors Journal, IEEE*, vol. 6, no. 6, pp. 1380-1388, 2006.
- [6] Chao Yang, Sachin R Jadhav, R Mark Worden, and Andrew J Mason, "Compact low-power impedance-to-digital converter for sensor array microsystems," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 10, pp. 2844-2855, 2009.
- [7] Mart Min and Toomas Parve, "Improvement of lock-in electrical bio-impedance analyzer for implantable medical devices," *Instrumentation and Measurement, IEEE Transactions on*, vol. 56, no. 3, pp. 968-974, 2007.
- [8] Arun Manickam, Aaron Chevalier, Mark McDermott, Andrew D Ellington, and Arjang Hassibi, "A CMOS electrochemical impedance spectroscopy (EIS) biosensor array," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 4, no. 6, pp. 379-390, 2010.
- [9] T I, "<http://www.ti.com/lit/ds/symlink/lmp91000.pdf>".

[10] Analog Devices, "<http://www.analog.com/media/en/technical-documentation/data-sheets/AD5933.pdf>".

3 DSG e VSCM

Nel presente capitolo sono descritti nel dettaglio i blocchi DSG (Direct Sinusoidal Generator) e VSCM (Voltage Source Current Monitor). Il cuore di ciascun blocco è costituito da un originale [1] DAC (Digital to Analog Converter) basato su architettura switched-capacitor, che utilizza una innovativa tecnica di cancellazione dell'offset e del rumore a bassa frequenza, e che presenta una uscita tempo-continuo.

Nel prosieguo verranno analizzate le varie fasi di funzionamento dell'architettura e sarà affrontata la descrizione transistor-level dei circuiti analogici utilizzati.

3.1 Principio di funzionamento

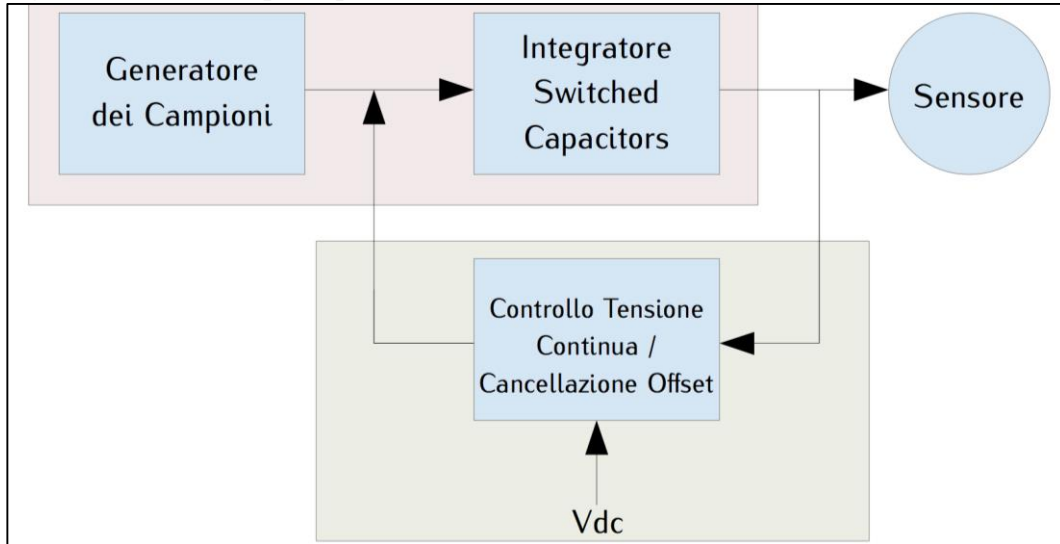
L'utilizzo di una soluzione mista digitale/analogica per la rete di stimolo è stato scelto in virtù dei vantaggi in termini di intervallo di frequenze generabili.

I sistemi di generazione puramente analogici infatti [2] [3], non consentono di ottenere intervalli di generazione maggiori di 3-4 decadi, mentre per le specifiche di progetto era richiesto un range di almeno 6 decadi. I sistemi puramente digitali, quali ad esempio le tecniche di Digital Synthesis (DDS) [6] [7], hanno requisiti in termini di area, consumo e filtraggio del segnale non compatibili con le esigenze di una interfaccia compatta e low-power.

Per questo motivo è stata sviluppata una originale tecnica mista digitale/analogica, che coniuga i vantaggi della generazione digitale (è sufficiente

scalare la frequenza di clock per variare la frequenza di generazione del segnale) ai vantaggi delle soluzioni puramente analogiche (ingombri e consumi ridotti).

Figura 3.1 Schema di principio del DSG.



Lo schema a blocchi di principio del DSG è riportato in Figura 3.1:

- il segnale di uscita è prodotto da un integratore switched-capacitor in cui non è implementata la fase di reset (comunemente utilizzata per la cancellazione dell'offset e del rumore a bassa frequenza tramite CDS - correlated double sampling); l'assenza della fase di reset consente di ottenere un segnale tempo continuo;
- il segnale in AC è prodotto attraverso una rete di capacità pesate sinusoidalmente; ad ogni fronte di clock del sistema, la commutazione delle capacità trasferisce all'integratore un pacchetto di carica corrispondente alla differenza fra due campioni consecutivi di una sinusoide; variando la frequenza di clock e il numero di capacità commutate ad ogni fronte è quindi possibile variare la frequenza della sinusoide³;
- il valore della tensione continua e la cancellazione dell'offset sono demandate ad una apposita rete di retroazione, che legge il valore della tensione continua di uscita e, attraverso un ciclo in reazione

³ Ovviamente, la variazione di tali parametri influenza anche le prestazioni del sistema. Riducendo la frequenza di clock, si riduce la frequenza della sinusoide ma anche l'efficacia della rete di riduzione delle componenti di rumore a bassa frequenza. Riducendo il numero di capacità commutate ogni fronte, si riduce la purezza spettrale della sinusoide.

negativa, agisce sulla capacità a ponte dell'integratore per portare la continua in uscita al valore di riferimento V_{dc} ;

- l'insieme dell'integratore e della rete di retroazione costituisce di fatto il DAC switched-capacitor tempo continuo descritto in [1], cuore del sistema.

3.2 Generazione del segnale sinusoidale

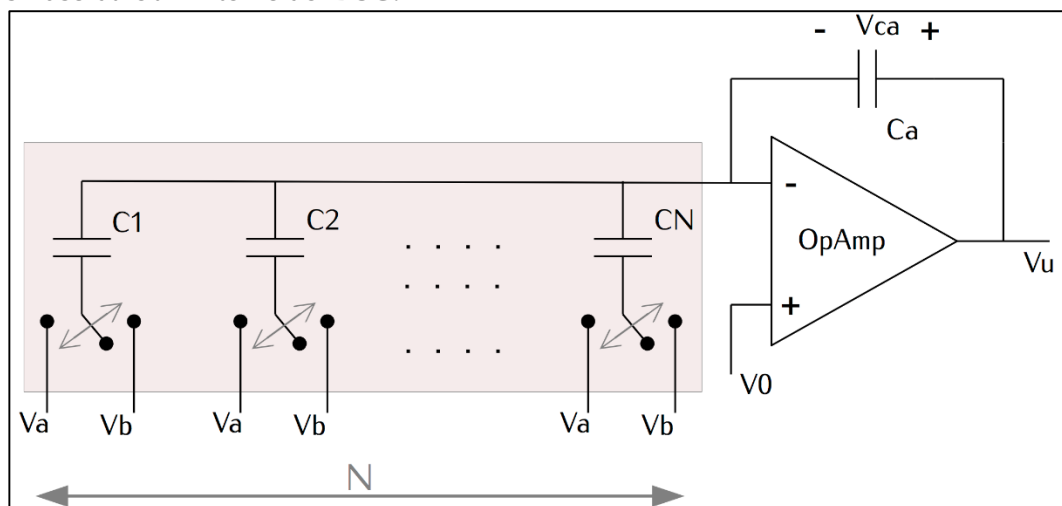
All'interno del DSG, il sistema per la generazione del segnale sinusoidale è costituito dall'integratore switched-capacitor e dalla rete di capacità raffigurate schematicamente in Figura 3.2, ove le capacità C_1, \dots, C_N rappresentano gli N campioni della sinusoide da generare.

Ciascuna capacità C_i è pesata in modo che:

$$\frac{C_i}{\sum_{i=1}^N C_i} \quad (3-1)$$

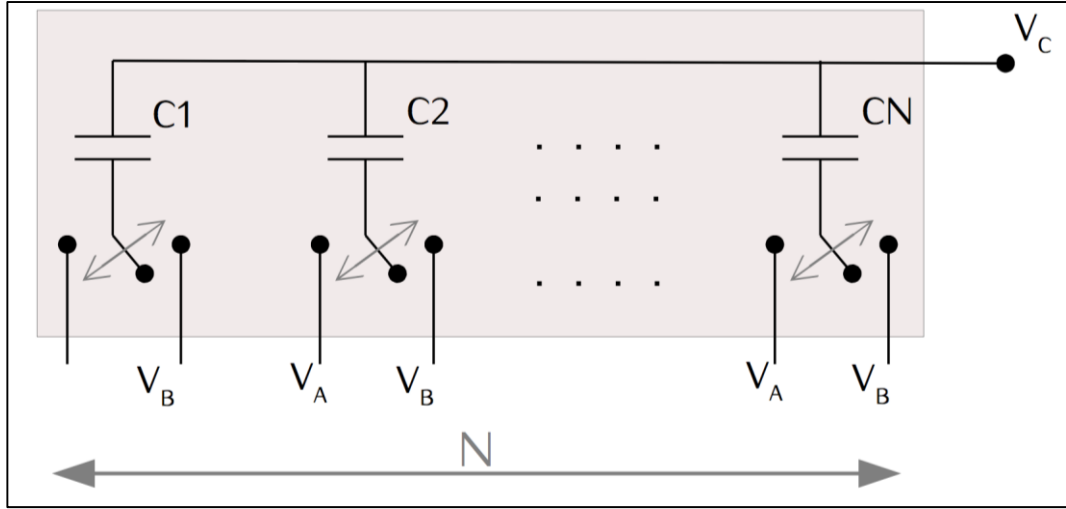
corrisponda proprio alla differenza fra i campioni i e $i-1$ di una sinusoide campionata uniformemente con N campioni.

Figura 3.2 Schema circuitale semplificato del sistema di generazione del segnale sinusoidale all'interno del DSG.



Tenendo conto del dimensionamento delle capacità, si può dimostrare che pilotando opportunamente i segnali V_A e V_B , la rete di generazione dei campioni è equivalente a un generatore di tensione sinusoidale con in serie una capacità: $C_0 = \sum C_i$.

Figura 3.3 Rete per la generazione dei campioni della sinusoide.



Con riferimento alla Figura 3.3, supponiamo i deviatori inizialmente connessi a V_B , e le capacità inizialmente caricate ad un potenziale V_0 . Al tempo t_1 , il condensatore C_1 viene collegato a V_A . Dopo il transitorio, sarà:

$$V_C(t_1) = \frac{C_1}{C_0} \cdot (V_A - V_B) + V_0 \quad (3-2)$$

Se al generico istante t_k sono connesse a V_A le prime k capacità:

$$V_C(t_k) = \frac{\sum_{i=1}^k C_i}{C_0} \cdot (V_A - V_B) + V_0 \quad (3-3)$$

Da cui, ponendo

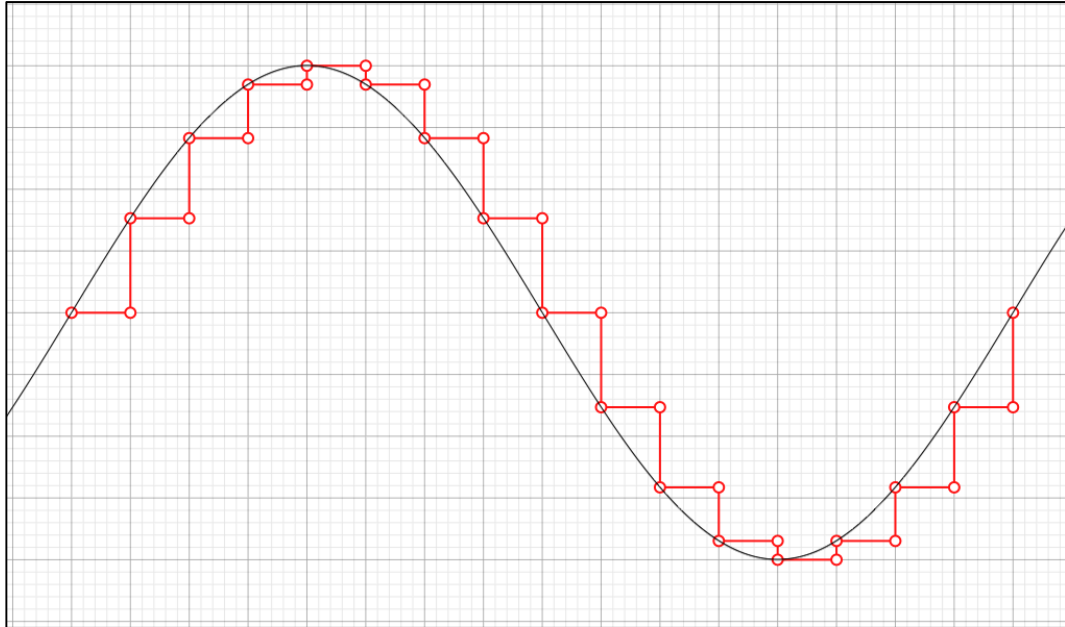
$$C_i = \sin\left(\frac{\pi}{N} \cdot i\right) - \sin\left(\frac{\pi}{N} \cdot (i - 1)\right) \quad (3-4)$$

e facendo in modo che all'istante t_j siano connesse a V_A le capacità da 1 a J , varrà la relazione:

$$V_C(t_j) = \sin\left(\frac{\pi}{N} \cdot j\right) \cdot (V_A - V_B) + V_0 \quad (3-5)$$

Connettendo quindi le varie capacità, in sequenza, da V_B a V_A la tensione V_C assume nel tempo l'andamento di una sinusoide campionata (esempio in Figura 3.4).

Figura 3.4 La linea rossa schematizza l'andamento di un periodo temporale della tensione V_C . L'aggiornamento di ogni campione avviene in corrispondenza di un fronte del clock di sistema.



Nel sistema effettivamente implementato, sono state usate in realtà usate $N/2$ capacità per rappresentare gli N campioni; la sinusoide è generata connettendo ciclicamente le capacità da V_B a V_A e viceversa. Quando tutte le capacità sono connesse a V_A , si ha il valore “-1” della sinusoide; quando tutte le capacità sono connesse a V_B , si ha il valore “1”. Per ottenere una buona purezza spettrale del segnale campionato sono state utilizzate 64 capacità, per un totale di 128 campioni.

La frequenza della sinusoide può essere convenientemente modificata variando il clock di aggiornamento dei campioni o modificando il numero di capacità che vengono commutate ad ogni aggiornamento⁴.

I condensatori sono stati realizzati con i dispositivi MIM (metal insulator metal) messi a disposizione dal processo. Al fine di ridurre al minimo il consumo in termini di area, il valore C_0 (somma di tutte le capacità) è stato dimensionato secondo la relazione:

$$C_{J_{MIN}} = C_0 \cdot \left(\sin(\pi) - \sin\left(\pi \cdot \frac{63}{64}\right) \right) = C_{MIN} \quad (3-6)$$

⁴ Aumentando il numero di capacità commutate ad ogni aggiornamento si riduce di fatto il numero di campioni della sinusoide, riducendone la purezza spettrale.

dove C_{MIN} rappresenta il minimo valore di capacità realizzabile con il processo.

I valori di tensione V_A e V_B sono generati dal bandgap differenziale e il sistema di controllo dei deviatori è stato implementato tramite una rete digitale descritta nel paragrafo 3.4.3.

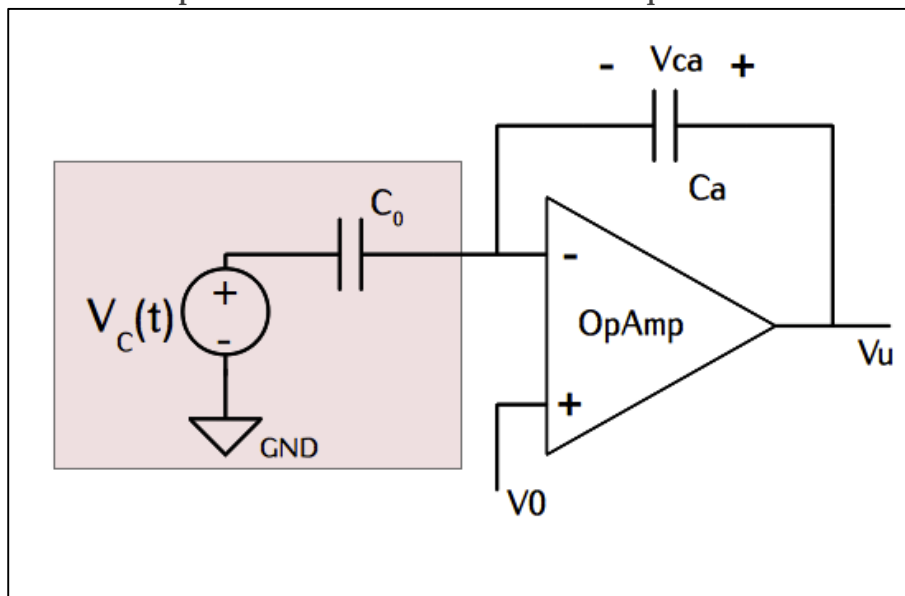
L'integratore stato realizzato con un amplificatore operazionale in classe A/B, basato sullo schema descritto in [16]. E' stata scelta una architettura in classe AB per la possibilità di pilotare efficacemente carichi resistivi.

Si noti che il segnale V_C presente un valore continuo pari a $V_0 + \frac{V_A - V_B}{2}$ e ciò indica chiaramente come in realtà la rete fin qui descritta non sia in grado di impostare un preciso valore di tensione continua per la sinusoide, poiché V_0 è una valore aleatorio e soggetto a deriva temporale. Per ovviare a questa limitazione è stato sviluppato l'originale sistema di regolazione della tensione in DC descritto nel paragrafo 3.4.

3.2.1.1 Risposta in frequenza

Considerando il circuito equivalente della rete di generazione dei campioni, il sistema di generazione della sinusoide può essere rappresentato come in Figura 3.5, dove si riconosce la tipica configurazione circuitale dell'amplificatore invertente.

Figura 3.5 Schema del sistema di generazione della sinusoide, in cui la rete di generazione dei campioni è stata sostituita con il relativo equivalente di Thevenin.



Applicando il teorema di scomposizione di Pellegrini, tagliando agli ingressi dell'amplificatore operazionale, si può dimostrare facilmente che la risposta in frequenza del sistema vale:

$$\frac{V_U(f)}{V_{IN}(f)} = - \frac{\frac{C_0}{C_A}}{1 + j \frac{f}{f_0}} \quad (3-7)$$

dove la frequenza di polo è $f_0 = GBW \cdot \beta$, con GBW corrispondente al prodotto guadagno banda dell'operazionale e $\beta = \frac{C_A}{C_0 + C_A}$.

L'amplificatore opera quindi un desiderabile effetto di filtraggio del segnale di ingresso, riducendo il contributo spettrale delle armoniche di ordine superiore, e aumentando la purezza spettrale della sinusoide.

Si noti che l'analisi della risposta in frequenza fornisce una ulteriore conferma della mancata della regolazione della tensione continua. Osservando la Figura 3.5 si ricava immediatamente come il sistema non sia infatti reazionato in DC.

3.2.1.2 Effetto di *feed-forward* del segnale di ingresso

La risposta in frequenza ricavata nel paragrafo precedente è stata determinata considerando valida la condizione di corto-circuito virtuale agli ingressi dell'amplificatore operazionale.

In realtà, le commutazioni delle capacità della rete di generazione dei campioni introducono componenti ad alta frequenza per cui non val⁵ la condizione di cortocircuito virtuale in ingresso. Ciò comporta che, in corrispondenza di ogni commutazione delle capacità, prima che la reazione del sistema risponda, ripristinando la condizione di corto-circuito virtuale, si abbia un'iniziale effetto di *feed-forward* del segnale di ingresso verso l'uscita tramite partitore capacitivo (Figura 3.6). Tale effetto è reso ulteriormente evidente dalla natura invertente del sistema: mentre a regime, un gradino positivo in ingresso si traduce in una diminuzione della tensione di uscita, l'effetto del *feed-forward* produce un aumento della tensione di uscita (Figura 3.6).

⁵ La condizione di corto-circuito virtuale è infatti conseguenza della reazione del sistema, che in un circuito reale ha un tempo di risposta non istantaneo.

L'effetto può essere mitigato inserendo (Figura 3.7) nel circuito due resistenze R_1 ed R_2 , in serie rispettivamente alle capacità C_0 e C_F , così che, per alte frequenze la tensione di uscita sia data dalla relazione:

$$\frac{V_{OUT}}{V_{IN}} = \frac{Z_{OUT}}{Z_{OUT} + R_1 + R_2} \quad (3-8)$$

Il rapporto fra V_{OUT} e V_{IN} può essere reso opportunamente trascurabile dimensionando le resistenze R_1 e R_2 in modo che $R_1 + R_2 \gg Z_{OUT}$.

Figura 3.6 Effetto di feed-forward del segnale di ingresso. In corrispondenza di un gradino negativo in ingresso all'operazionale, la risposta a regime (linea verde) è data da un gradino positivo. Ma per effetto del tempo di risposta finito del sistema di reazione, inizialmente l'uscita segue l'andamento del segnale di ingresso.

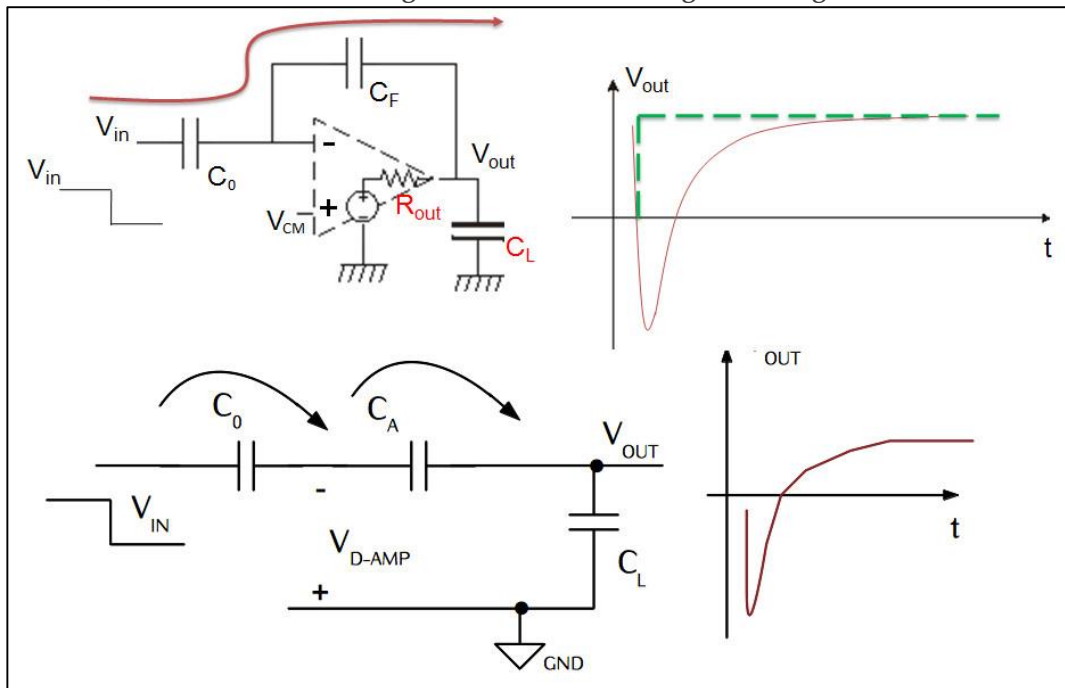
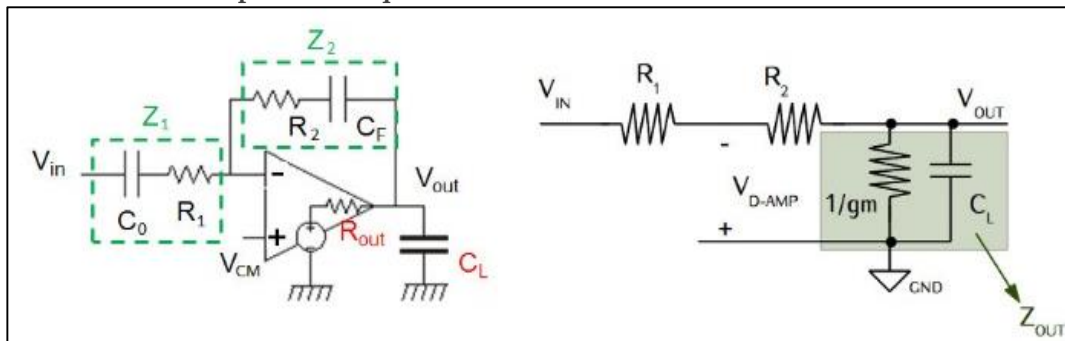


Figura 3.7 Inserendo le resistenze R_1 ed R_2 è possibile ridurre l'effetto del feed-forward senza alterare la risposta in frequenza del sistema.



Si noti che, avendo introdotto le resistenze R_1 ed R_2 , il guadagno dell'amplificatore diventa:

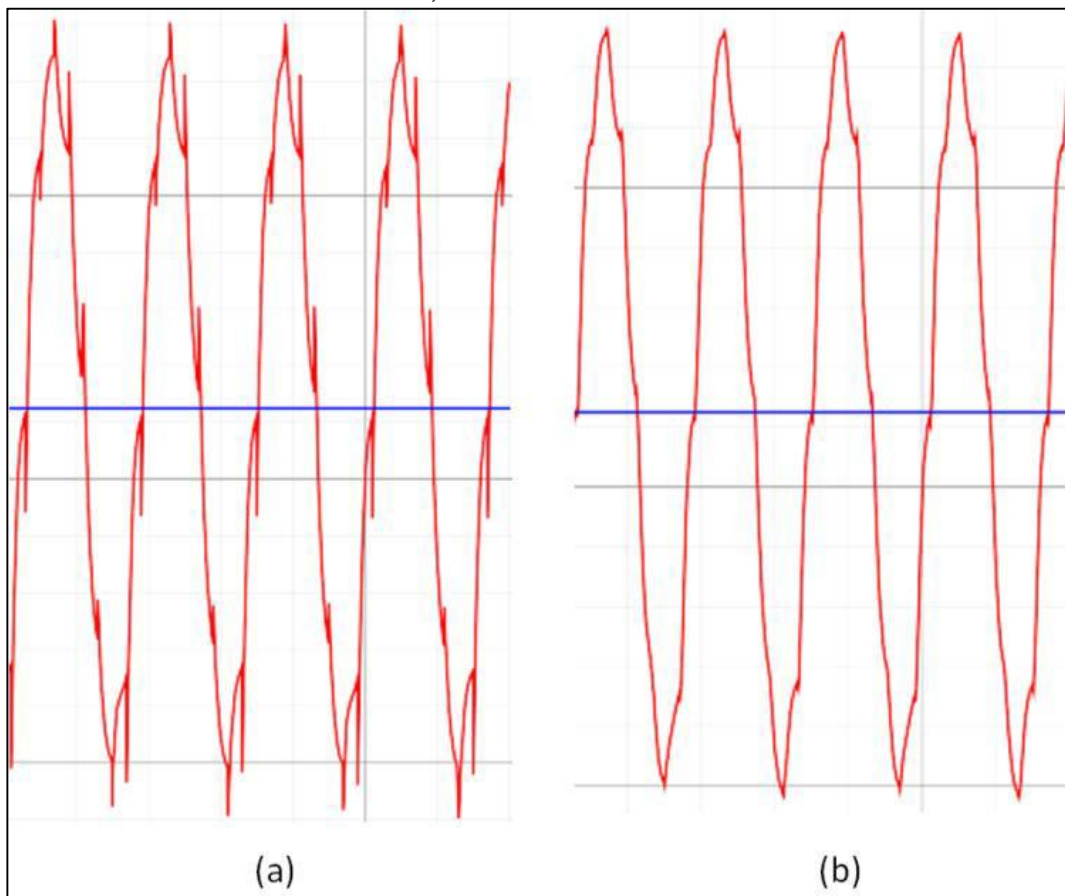
$$A_{INV} = -\frac{Z_2}{Z_1} = -\frac{R_2}{Z_1} \cdot \frac{R_2 \cdot (1+j\omega R_1 C_O)}{R_1 \cdot (1+j\omega R_2 C_F)} \quad (3-9)$$

Si ricava quindi banalmente che al fine di non alterare la risposta in frequenza del sistema, deve valere la relazione:

$$\frac{R_2}{R_1} = \frac{C_O}{C_F} \quad (3-10)$$

Come considerazione finale, nell'effettiva implementazione del sistema, la capacità C_F può essere variata con una programmazione su 4 valori; conseguentemente, la resistenza R_1 viene variata di conseguenza.

Figura 3.8 Simulazioni del funzionamento del sistema per una sinusoide generata utilizzando 8 campioni. Sulla sinistra (a) è rappresentato il segnale di uscita affetto dal fenomeno del feed-foward, che determina un impulso con andamento opposto alla derivata del segnale, per ogni aggiornamento dei campioni. A destra (b) è visibile invece l'effetto di riduzione del fenomeno, ottenuto introducendo le resistenze in serie.



3.3 Terminale di force e terminale di sense

Per aumentare la versatilità del sistema, l'uscita dell'amplificatore operazionale non è stata connessa direttamente alla capacità di reazione; in questo modo è possibile utilizzare il DSG e il VSCM per misure a 2, 3 e 4 terminali.

In caso contrario, le possibili applicazioni si sarebbero limitate a misure a 2 terminali.

Figura 3.9 L'uscita dell'amplificatore operazione non è connessa direttamente alla capacità di reazione.

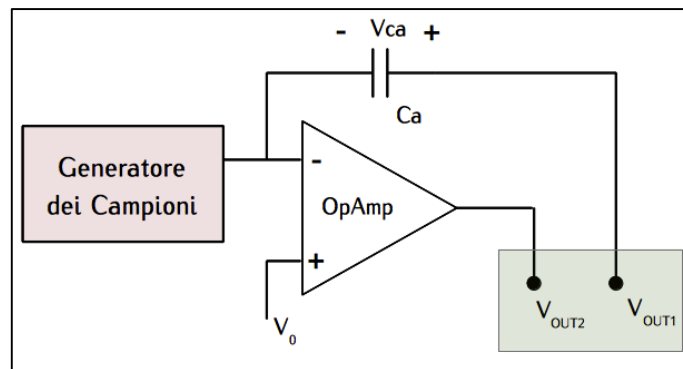
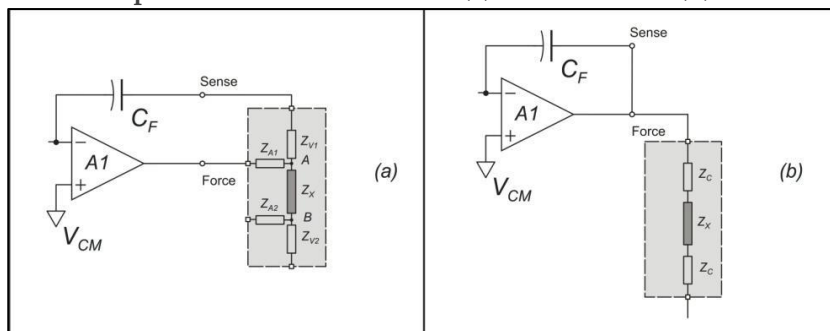


Figura 3.10 Esempio di misura a 4 terminali (a) e a 2 terminali (b).

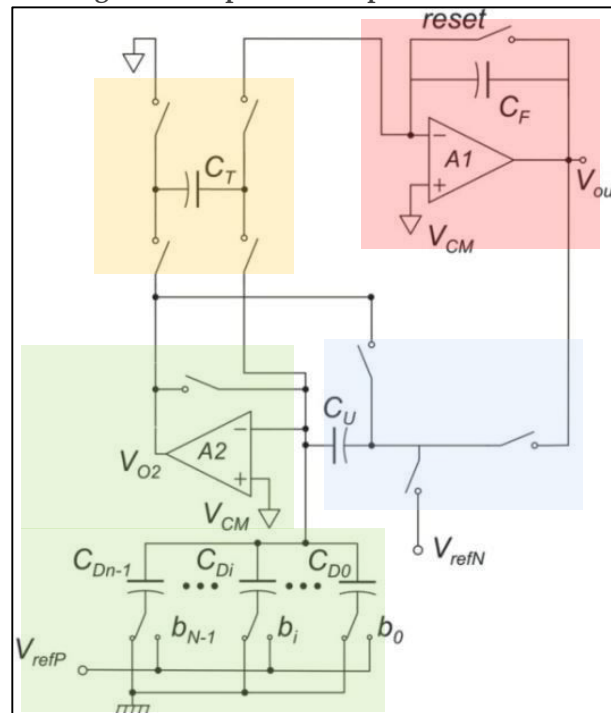


3.4 Rete di regolazione della tensione in DC

La tensione continua viene impostata utilizzando un originale DAC switched-capacitor, con segnale di uscita esente da offset-free, in ogni fase del ciclo di conversione (Figura 3.11). Il DAC è composto dallo stesso integratore di Miller

utilizzato per la generazione della sinusoide e da una rete switched-capacitor⁶ che genera la tensione di riferimento V_{DAC} (a cui si vuole eguagliare l'uscita). La generazione della tensione V_{DAC} avviene per mezzo di un amplificatore operazionale (è stato utilizzato un convenzionale OTA folded-cascode [17], progettato per avere un range di uscita quasi rail-to-rail).

Figura 3.11 Schema di principio del DAC per la regolazione della tensione di uscita del DSG/VSCM. In verde è evidenziata la rete per la generazione della tensione di riferimento V_{DAC} . In blu la rete per la lettura del valore della continua di uscita. In rosso l'integratore di Miller. In giallo la capacità che opera la reazione.



L'integratore di Miller e l'OTA sono chiusi in un anello di reazione negativa che:

- garantisce l'uguaglianza fra la tensione di uscita in DC e la tensione di riferimento V_{DAC} ;
- implementa un algoritmo di cancellazione dell'offset e delle componenti di rumore a bassa frequenza di entrambi gli amplificatori.

Preliminarmente sarà mostrato il principio di funzionamento del sistema per generare la tensione di riferimento V_{DAC} e successivamente verrà mostrato

⁶ Analogamente a quanto avviene per la generazione del segnale sinusoidale, anche per la tensione continua il riferimento è generato con una rete switched-capacitor in cui le tensioni di riferimento sono fornite dal BG differenziale.

come il sistema è stato adattato per impostare la tensione continua nel caso in cui la generazione del segnale sinusoidale sia attiva.

Il VSCM, che non incorpora i circuiti per la generazione del segnale sinusoidale, è in pratica costituito dal solo DAC.

3.4.1 Principio di funzionamento

Facendo riferimento alla Figura 3.11:

- la rete di generazione della tensione di riferimento V_{DAC} è costituita da un array di capacità pesate in modo binario e dall'amplificatore operazionale A2⁷, che
 - preliminarmente, integrando la carica trasferita dall'array di capacità, genera come proprio segnale di uscita (V_{O2}) la tensione V_{DAC} ;
 - successivamente, attraverso la rete di lettura della tensione continua di uscita (V_{OUT_DC} , uscita di A1), integra nella capacità C_T (che opera la reazione negativa) una carica ΔQ_e proporzionale alla differenza fra la tensione di riferimento V_{DAC} e la tensione continua di uscita V_{OUT_DC} .
- la correzione della tensione continua di uscita V_{OUT_DC} avviene ad opera della capacità C_T che, connessa fra i terminali di ingresso dell'operazionale A1, trasferisce la carica ΔQ_e nella capacità C_F ; come illustrato analiticamente nel paragrafo successivo, iterando ciclicamente il processo di trasferimento della carica ΔQ_e , l'uscita V_{OUT_DC} raggiunge asintoticamente il valore V_{DAC} .

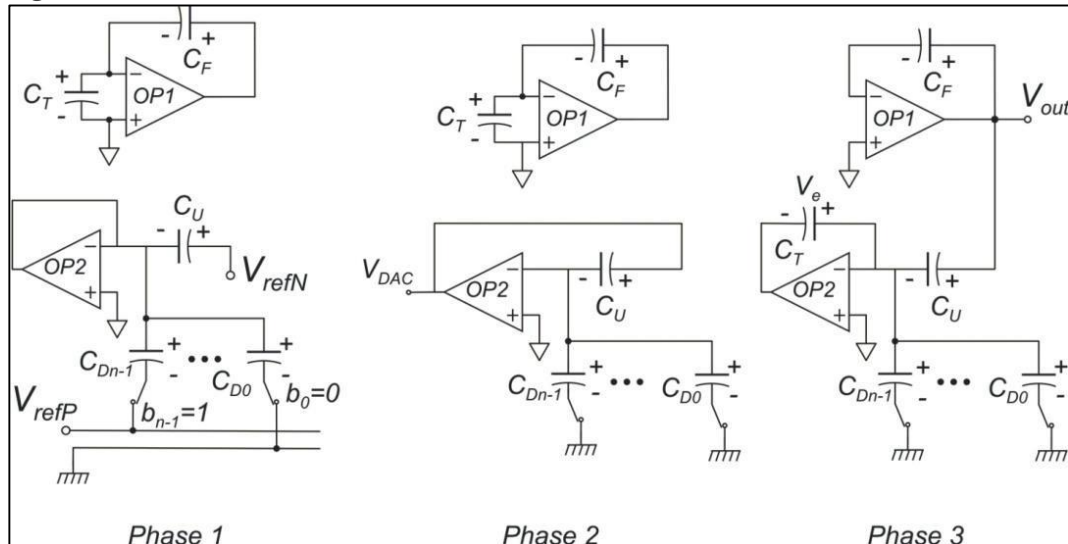
Ciascun ciclo di conversione avviene in tre fasi (Figura 3.12):

1. l'amplificatore OP2 (A2) è chiuso a buffer e la rete di capacità per la generazione V_{DAC} viene precaricata; V_{refP} e V_{refN} sono le tensioni di riferimento prodotte dal bandgap differenziale; la capacità C_T trasferisce la carica ΔQ_e all'integratore di uscita;
2. operando una commutazione dei terminali liberi delle capacità dell'array, la tensione di riferimento V_{DAC} viene prodotta in uscita all'amplificatore OP2;

⁷L'offset dell'amplificatore A2 è cancellato utilizzando la tecnica CDS.

- la tensione continua di uscita V_{OUT_DC} viene letta tramite la capacità C_U ; di conseguenza, nella capacità C_T viene immagazzinata la carica ΔQ_e proporzionale alla differenza fra V_{OUT_DC} e V_{DAC} ; il ritorno alla fase 1 determina il trasferimento del fattore di correzione ΔQ_e all'integratore.

Figura 3.12 Fasi di lavoro del DAC.



Si noti che gli amplificatori operazioni necessitano di una tensione di modo comune V_{CM} che ne permetta la corretta polarizzazione. Lo schema utilizzato rende comunque il sistema indipendente ⁸ dalla tensione V_{CM} , aumentandone la robustezza.

3.4.2 Derivazione analitica

Nel paragrafo sarà ricavata la relazione che descrive il valore della tensione continua di uscita V_{OUT_DC} in funzione del codice digitale D^9 . Nelle formule, l'apice "(i)" indicherà che si sta facendo riferimento a valori di tensione assunti nella fase i -esima del ciclo di conversione. Si considererà inoltre verificata la condizione di corto-circuito virtuale in ingresso agli operazionali, così che in ogni fase la tensione in ingresso agli amplificatori corrisponda alla tensione di offset (indicata con V_{io}).

⁸ Trascurando gli effetti del secondo ordine.

⁹ Codice che descrive il valore di tensione di uscita da impostare.

Nella fase 1, l'insieme delle capacità C_{Di} il cui bit di controllo è impostato a 1 sono precaricate a V_{refP} . Il valore di capacità dato dal parallelo di tutte le C_{Di} con bit a 1, sarà indicato con $C_{DH} = D \cdot C_{D0}$, dove:

$$D^{(1)} = \sum_{i=0}^{M-1} 2^i b_i^{(1)} \quad (3-11)$$

(M corrisponde al numero di bit di controllo con valore 1). Il valore di capacità dato dal parallelo di tutte le C_{Di} con bit a 0, sarà invece indicato con C_{DL} . Fatta questa premessa, è possibile ricavare le equazioni che descrivono le tensioni ai capi delle capacità C_F , C_U , C_{DH} , C_{DL} :

$$\begin{cases} V_{CF}^{(1)} = V_{OUT}^{(1)} - V_{CM} - V_{io1} \\ V_{CU}^{(1)} = V_{refN} - V_{CM} - V_{io2} \\ V_{CDH}^{(1)} = -V_{refP} + V_{CM} + V_{io2} \\ V_{CDL}^{(1)} = V_{CM} + V_{io2} \end{cases} \quad (3-12)$$

Durante la fase 2:

- C_T è connessa tra gli ingressi dell'operazionale A1, da cui:

$$V_{CT}^{(2)} = V_{io1} \quad (3-13)$$

- La capacità C_U è connessa a ponte dell'operazionale A2 e tutte le C_{Di} sono connesse a massa, da cui le capacità C_{DH} trasferiscono su C_U una carica Q_{DAC} proporzionale a V_{refP} :

$$Q_{DAC} = C_{DH} \cdot (V_{CDH}^{(2)} - V_{CDH}^{(1)}) = C_{DH} \cdot V_{refP} \quad (3-14)$$

Si può quindi ricavare il valore della tensione V_{DAC} al termine della fase 2:

$$\begin{aligned} V_{DAC}^{(2)} &= V_{CM} + V_{io2} + V_{CU}^{(1)} + \frac{Q_{DAC}}{C_U} = \\ &= V_{refN} + \frac{C_{DH}}{C_U} \cdot V_{refP} = \\ &= V_{refN} + \sum_{i=0}^{M-1} 2^i b_i^{(1)} \cdot \frac{C_{D0}}{C_U} \cdot V_{refP} \end{aligned} \quad (3-15)$$

Dalla (4.12) si evince come l'offset dell'operazione A2 non influisca sul valore della tensione V_{DAC} , a conferma dell'implementazione della tecnica CDS¹⁰.

¹⁰ La CDS è implementata poiché le capacità, in ogni fase, hanno sempre un terminale connesso all'ingresso invertente dell'operazione A2.

Se nessuna capacità è pre-caricata durante la *fase 1*, il valore della tensione V_{DAC} è V_{refN} . All'opposto, se tutte le capacità sono pre-caricate, il valore di uscita è $V_{DAC} = V_{refN} + V_{refP}$ (supposto che C_U equivalga alla somma di tutte le C_{Di}).

Nella fase 3, la capacità C_T è connessa a ponte fra il terminale invertente e il terminale di uscita dell'operazionale A2, mentre la capacità C_U è connessa fra il terminale invertente dell'operazionale A2 e la tensione di uscita V_{OUT_DC} . In questa fase, l'operazionale agisce quindi come un amplificatore invertente rispetto alla tensione V_{OUT_DC} .

Al termine della *fase 3*, sulla capacità C_T sarà immagazzinata una carica ΔQ_ϵ data da:

$$\Delta Q_\epsilon = C_U \cdot (V_{CU}^{(3)} - V_{CU}^{(2)}) = C_U \cdot (V_{OUT_DC}^{(3)} - V_{DAC}^{(2)}) \quad (3-16)$$

Si ha poi l'inizio di un nuovo ciclo, in cui il sistema ritorna alla *fase 1* e la carica ΔQ_ϵ è trasferita alla capacità C_F , da cui¹¹:

$$\begin{aligned} V_{OUT}^{(1N)} &= V_{CM} + V_{io1} + V_{CF}^{(1N)} = V_{CM} + V_{io1} + V_{CF}^{(2)} - \frac{\Delta Q_\epsilon}{C_F} = \\ &= V_{OUT}^{(1)} - \frac{C_U}{C_F} (V_{OUT}^{(3)} - V_{DAC}^{(2)}) \end{aligned} \quad (3-17)$$

supposto che si possa ritenere $V_{CF}^{(2)} = V_{CF}^{(1)}$, in virtù dell'effetto di tenuta dell'integratore. Considerando poi che la tensione V_{DAC} e la tensione di uscita dell'integratore rimangano costanti nelle tre fasi, si può scrivere:

$$\begin{aligned} V_{OUT}^{(3)} &= V_{OUT}^{(1)} \\ V_{DAC}^{(2)} &= V_{DAC}^{(1)} \end{aligned} \quad (3-18)$$

L'equazione (3.17) può perciò essere riscritta come equazione alle differenze, considerando che gli apici da ⁽¹⁾ a ⁽³⁾ si riferiscano allo stesso periodo di conversione e che l'apice ^(1N) si riferisca al periodo successivo:

$$\begin{aligned} V_{OUT}(k) &= V_{OUT}(k-1) + \frac{C_U}{C_F} \cdot (V_{DAC}(k-1) - V_{OUT}(k-1)) = \\ &= \left(1 - \frac{C_U}{C_F}\right) \cdot V_{OUT}(k-1) + \frac{C_U}{C_F} \cdot \left(V_{refN} + \sum_{i=0}^{M-1} 2^i b_i^{(1)} \frac{C_{D0}}{C_U} V_{refP}\right) \end{aligned} \quad (3-19)$$

Passando¹² alla trasformata Z - descrivendo la tensione V_{DAC} come un gradino - si ottiene la seguente relazione:

¹¹ Per praticità il suffisso “_DC” sarà omissso dal simbolo V_{OUT_DC} .

¹² Dimostrato che il sistema sia stabile e che la trasformata Z esista.

$$V_{OUT}(z) = \left(1 - \frac{C_U}{C_F}\right) \cdot V_{OUT}(z)z^{-1} + \frac{C_U}{C_F} \cdot V_{DAC}(z) \frac{z^{-1}}{1-z^{-1}} \quad (3-20)$$

da cui:

$$V_{OUT}(z) = \frac{\frac{C_U}{C_F} \cdot V_{DAC}(z) \frac{z^{-1}}{1-z^{-1}}}{1 - \left(1 - \frac{C_U}{C_F}\right) \cdot z^{-1}} \quad (3-21)$$

e applicando il noto teorema del valore finale:

$$\lim_{k \rightarrow \infty} V_{OUT}(k) = \lim_{k \rightarrow 1} [(1 - z^{-1}) \cdot V_{OUT}(z)] \quad (3-22)$$

si ottiene:

$$\begin{aligned} \lim_{k \rightarrow \infty} V_{OUT}(k) &= \lim_{k \rightarrow 1} \left[(1 - z^{-1}) \cdot \frac{\frac{C_U}{C_F} \cdot V_{DAC}(z) \frac{z^{-1}}{1-z^{-1}}}{1 - \left(1 - \frac{C_U}{C_F}\right) \cdot z^{-1}} \right] = \\ &= \frac{\frac{C_U}{C_F} \cdot V_{DAC}(z)}{\frac{C_U}{C_F}} = V_{DAC}(z) \end{aligned} \quad (3-23)$$

Cioè, asintoticamente, la tensione continua di uscita corrisponde alla tensione V_{DAC} impostata.

Procedendo nell'analisi, considerando la risposta al gradino del sistema è possibile ricavare il numero di cicli k richiesti perché il sistema raggiunga in uscita la tensione V_{DAC} a meno di un errore ϵ_R :

$$V_{OUT}(k) = V_{DAC} \cdot (1 - A^k) \cdot u(k - 1) \quad (3-24)$$

dove $A = 1 - C_U/C_F$ e $u(k-1)$ è la funzione gradino anticipata di un ciclo di conversione (poiché almeno un ciclo di conversione è sicuramente richiesto). Da cui:

$$\epsilon_R = \frac{|V_{OUT} - V_{DAC}|}{V_{DAC}} = A^k \quad (3-25)$$

Invertendo la relazione si ricava quindi che:

$$k = \frac{\ln(\epsilon_R)}{\ln(|A|)} + 1 \quad (3-26)$$

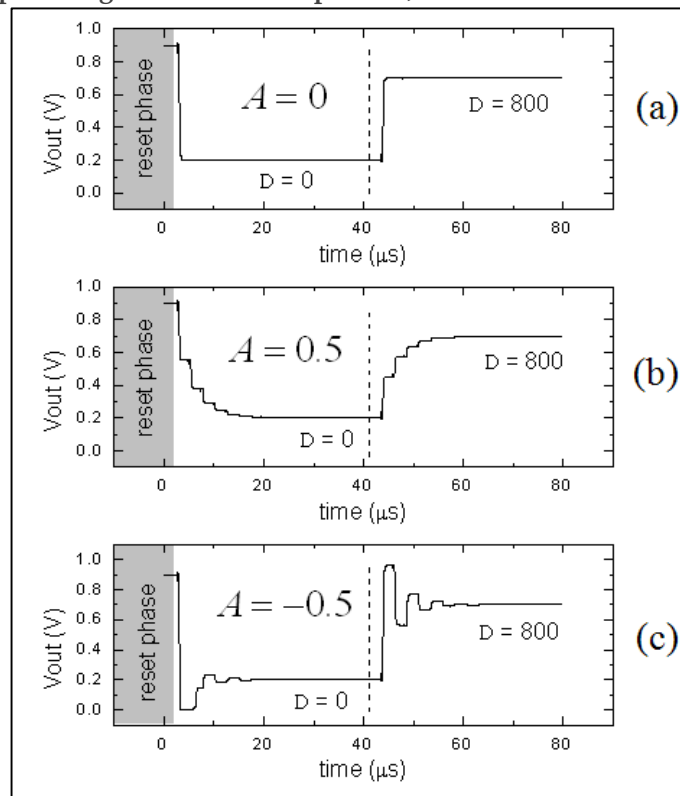
dove il $+ 1$ indica che k deve valere almeno 1. Dalla (3.26) si ricava quindi che il minimo numero di cicli è proprio 1 e si ottiene per $A = 0$, cioè quando $C_U = C_F$.

Due casi particolari di rilevante interesse si hanno per:

- $A = 0.5$, in cui la tensione di uscita V_{OUT} raggiunge asintoticamente il valore V_{DAC} con un andamento monotono stile esponenziale;
- $A = -0.5$, in cui la tensione di uscita V_{OUT} raggiunge il valore V_{DAC} con un'oscillazione esponenzialmente decrescente.

L'andamento della tensione di uscita V_{OUT} nei tre casi è riportato in .Figura 3.13. Come descritto nel paragrafo successivo, affinché il sistema risulti stabile A non può assumere in modulo valori maggiori di 1.

Figura 3.13 Risposta al gradino del DAC per $A=0$, $A=0.5$ a $A=-0.5$.



3.4.2.1 Stabilità

La stabilità del DAC al variare del guadagno A può essere analizzata investigando la posizione dei poli nel piano z del sistema in forma chiusa. I poli altro non sono che le radici dell'equazione caratteristica $P(z)$:

$$P(z) = z - 1 + \frac{C_U}{C_F} \quad (3-27)$$

Si ricava quindi banalmente che il sistema ha un unico polo:

$$z_P = 1 - \frac{C_U}{C_F} = A \quad (3-28)$$

Dovendo il polo cadere all'interno della circonferenza di raggio unitario nel piano z , la condizione di stabilità richiede che $|A| < 1$, cioè $C_U/C_F < 2$.

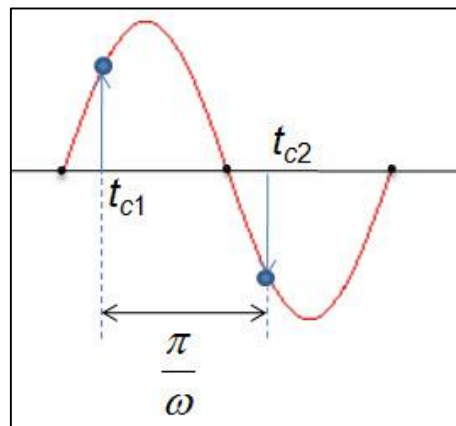
Come accennato in precedenza, la capacità C_F può essere programmata su 4 livelli, al fine di variare l'ampiezza della sinusoide. Il dimensionamento della capacità C_F è stato quindi eseguito in modo che la stabilità del sistema sia sempre garantita.

3.4.3 Integrazione con la rete di generazione della sinusoide

Nella fase 2, la tensione di uscita viene letta tramite la capacità C_U , connessa fra la tensione di uscita il terminale invertente dell'operazionale A2. Nel caso in cui la rete di generazione del segnale sinusoidale sia disabilitata, questo approccio consente di ottenere direttamente la tensione continua di uscita. Nel caso in cui invece il segnale sinusoidale sia sovrapposto alla tensione continua di uscita, è necessario modificare il funzionamento del sistema di reazione, al fine di estrarre la sola componente continua (V_{OUTDC}) della tensione di uscita V_{OUT} .

L'operazione può essere effettuata sdoppiando la capacità C_U in due capacità distinte, C_{U1} e C_{U2} e introducendo una fase aggiuntiva nel ciclo di conversione. Infatti, utilizzando le capacità C_{U1} e C_{U2} per campionare la tensione di uscita in due istanti di tempo sfasati di mezzo periodo di sinusoide (Figura 3.14), il valore della tensione di uscita può essere calcolato come media dei due campioni (si veda la derivazione analitica più avanti).

Figura 3.14 Istanti di campionamento della sinusoide, distanti mezzo periodo. Il valore di uscita al tempo t_{c1} è campionato con la capacità C_{U1} ; il valore di uscita al tempo t_{c2} è campionato con la capacità C_{U2} .



Le quattro fasi del sistema *adattato* sono illustrate nella Figura 3.15, in cui sono indicate sia la configurazione della capacità nelle varie fasi, sia l'estensione temporale di ogni fase rispetto al segnale sinusoidale. Come logico, la durata di ogni ciclo di conversione coincide con il periodo della sinusoide.

In riferimento alla Figura 3.15, il funzionamento del sistema adattato è il seguente:

- nella *fase 1* la capacità C_T trasferisce la carica alla capacità C_F , mentre le capacità per la generazione della tensione di riferimento V_{DAC} vengono precaricate; la *fase 1* ha inizio nell'istante t_{c2} , in cui, tramite C_{U2} viene prelevato il secondo campione della tensione di uscita; la *fase 1* ha durata pari a un unico periodo di clock;
- nella *fase 2*, le capacità $C_{U1/2}$ vengono connesse a ponte fra l'uscita dell'operazionale A2 e il terminale invertente del medesimo; la tensione di uscita di A2 coincide quindi con la tensione di riferimento V_{DAC} ; la capacità C_T rimane connessa agli ingressi dell'operazionale A1; la *fase 2* termina nel momento in cui viene generato l'ultimo campione della sinusoide;
- nella *fase 3*, le capacità $C_{U1/2}$ vengono connesse alla tensione di uscita dell'operazionale; e la capacità C_T viene connessa a ponte dell'operazionale A2, in questo modo, sulla capacità viene trasferita una carica proporzionale alla differenza fra V_{DAC} e V_{OUT} ; la *fase 3* termina nell'istante t_{c1} , in cui viene memorizzato il primo campione della sinusoide;
- nella *fase 4*, che inizia nell'istante t_{c1} , la tensione di uscita viene letta solo attraverso la capacità C_{U2} ; in conseguenza, sulla capacità C_T , ad ogni istante di tempo t , viene trasferita una carica proporzionale a:

$$V_{DAC} - \frac{V_{OUT}(t) + V_{OUT}(t_{c1})}{2}$$

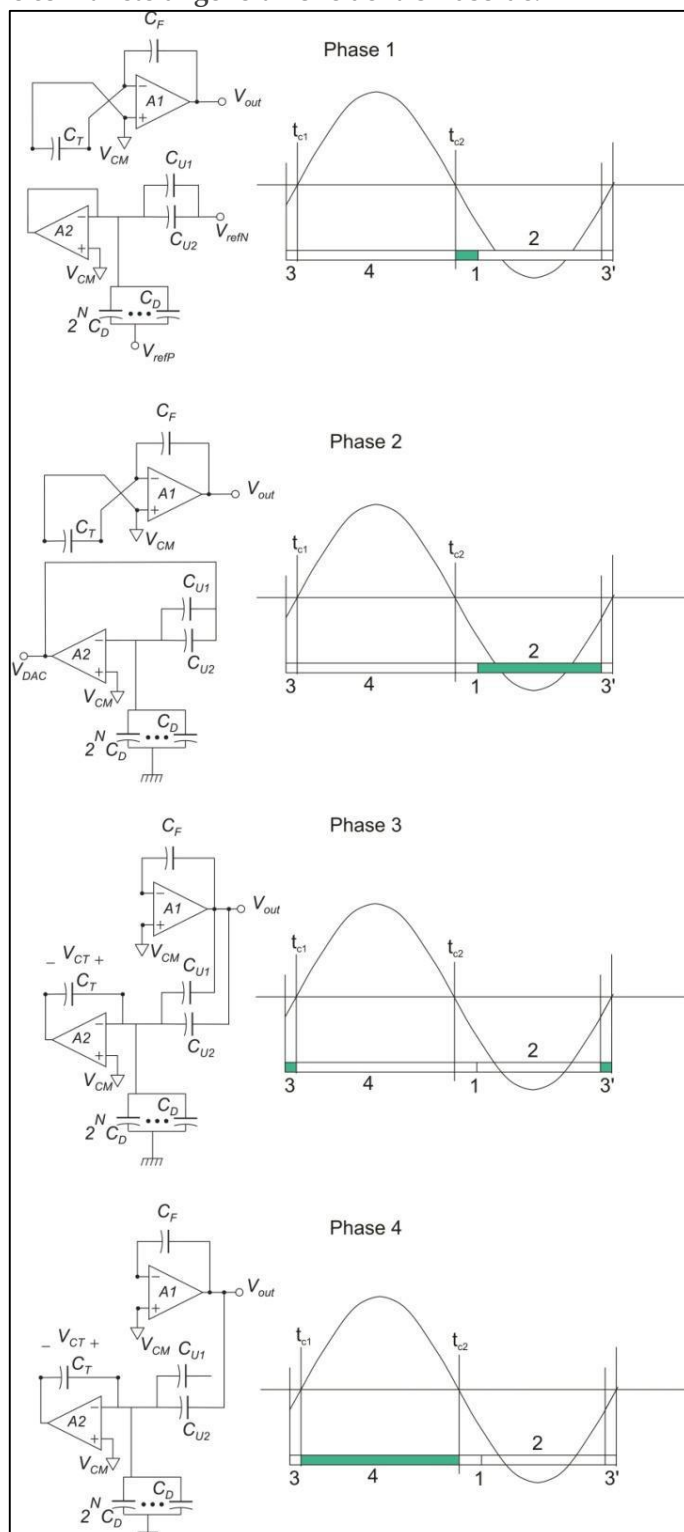
la *fase 4* ha termine nell'istante t_{c2} , in cui viene prelevato il secondo campione della sinusoide e inizia una nuova fase 1;

- nella *fase 1* successiva, la carica nella capacità C_T , proporzionale a:

$$V_{DAC} - \frac{V_{OUT}(t_{c2}) + V_{OUT}(t_{c1})}{2}$$

viene trasferita alla capacità C_F e il ciclo comincia nuovamente.

Figura 3.15 Sistema di controllo della tensione continua di uscita adattato per l'integrazione con la rete di generazione della sinusoide.



Si noti che mentre la durata della *fase 1* e della *fase 3* è sempre di un solo periodo di clock, le durate delle *fasi 2* e *4* devono essere adattate in funzione del periodo della sinusoide (cioè del numero di campioni utilizzati).

Affrontando la trattazione analitica del funzionamento del sistema, si può ricavare facilmente che al termine della *fase 4*, ai capi della capacità C_T insiste una tensione:

$$V_{CT}^{(4)} = \frac{V_{OUT}(t_{c1})C_{U1} + V_{OUT}(t_{c2})C_{U2} - V_{DAC} \cdot (C_{U1} + C_{U2})}{C_T} \quad (3-29)$$

da cui, se t_{c1} e t_{c2} distano mezzo periodo di sinusoide e se $C_{U1} = C_{U2} = C_U/2$:

$$V_{CT}^{(4)} = \frac{C_U}{C_T} \cdot (\overline{V_{OUT}} - V_{DAC}) \quad (3-30)$$

dove $\overline{V_{OUT}} = \frac{V_{OUT}(t_{c1}) + V_{OUT}(t_{c2})}{2}$. Il risultato è quindi formalmente analogo a quello della eq. (3.14).

3.5 Architettura dell'amplificatore operativo in classe A/B

All'interno della letteratura gli amplificatori operazionali sono classificati in tre grandi categorie: a singolo stadio di amplificazione, a due stadi, a tre stadi.

Le architetture a singolo stadio, data l'intrinseca stabilità, rappresentano una soluzione particolarmente utilizzata in tutte quelle applicazioni in cui non è necessario pilotare piccoli carichi resistivi. Le architetture a tre stadi sono invece poco comuni, a causa dell'accurato dimensionamento richiesto per garantirne la stabilità e sono utilizzate solo per le applicazioni in cui le topologie a doppio e singolo stadio non risultano efficaci, quali ad esempio:

- soluzioni con tensione di alimentazione limitata a valori talmente bassi da non consentire la realizzazione di uno stadio di ingresso cascode;
- sia necessario ottenere elevati guadagni con lunghezze di canale molto piccole per i transistor.

In assenza di questi requisiti specifici, per semplicità circuitale è conveniente utilizzare un'architettura a due stadi, in virtù del compromesso che offrono fra prestazioni e complessità progettuale.

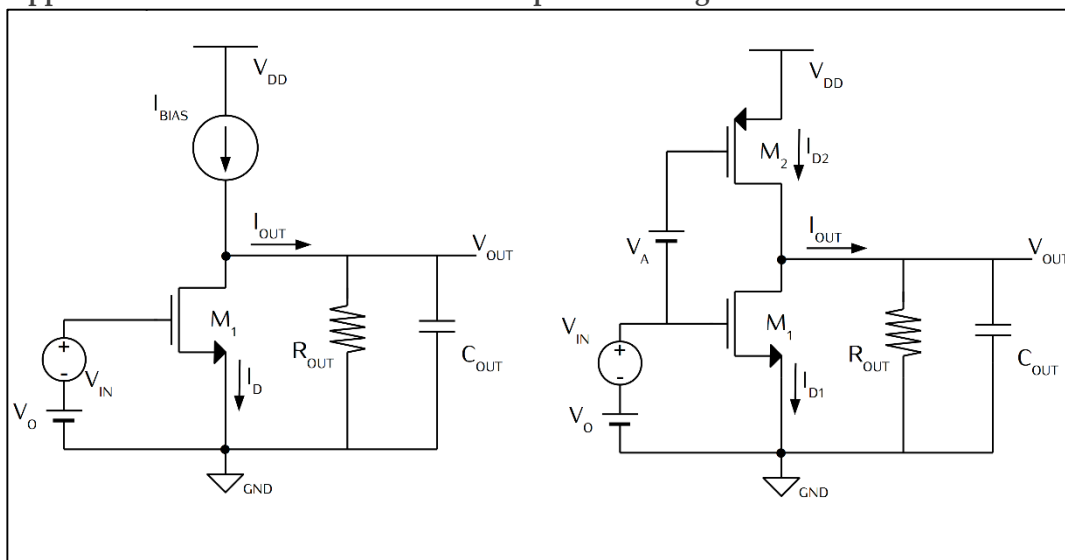
All'interno del panorama degli amplificatori a due stadi, un'ulteriore suddivisione può essere effettuata in dipendenza della classe di funzionamento degli stadi di amplificazione:

- stadio di ingresso in classe A; stadio di uscita in classe A;
- stadio di ingresso in classe A; stadio di uscita in classe A/B;
- stadio di ingresso in classe A/B; stadio di uscita in classe A;
- stadio di ingresso in classe A/B; stadio di uscita in classe A/B.

Gli stadi di ingresso in classe A/B sono utilizzati in applicazioni in cui è richiesto uno slew-rate molto elevato, mentre ove ciò non fosse necessario per semplicità progettuale è conveniente utilizzare stadi di ingresso in classe A.

Gli stadi di uscita in classe A/B sono invece comunemente utilizzati in tutte quelle applicazioni in cui sia necessario pilotare bassi carichi resistivi o carichi capacitivi elevati. Gli stadi di uscita in classe A/B, a differenza di quanto avviene per gli stadi in classe A, presentano due dispositivi attivi in uscita, che consentono quindi una erogazione e un assorbimento di corrente simmetrici (Figura 3.16), indipendente dalla corrente di riposo dei transistor. Negli stadi in classe A invece, è presente un solo dispositivo in uscita, il che limita o la massima corrente erogabile o la massima corrente assorbibile, vincolate dalla corrente di riposo.

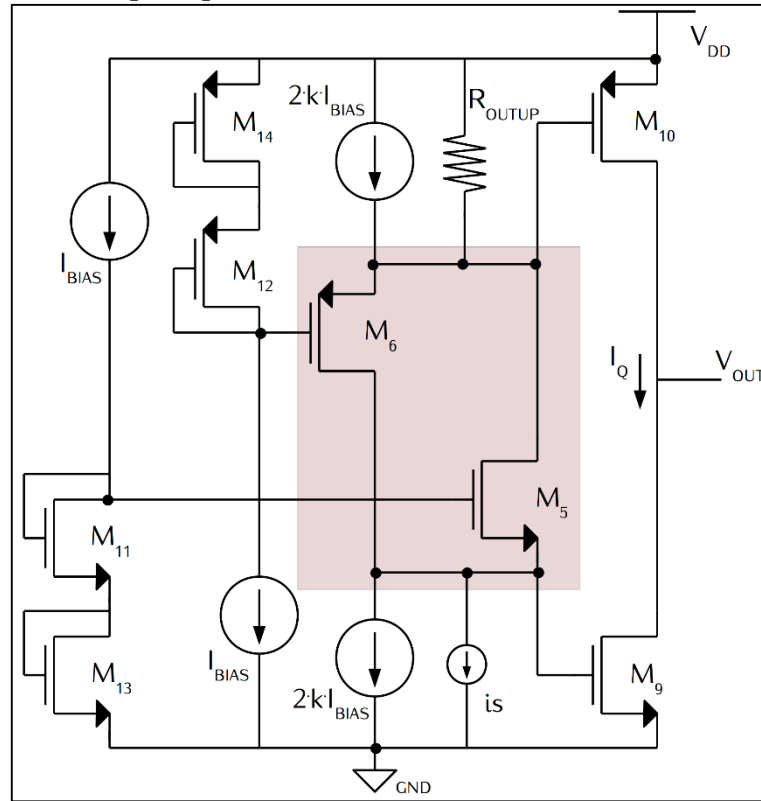
Figura 3.16 A sinistra è riportato lo schema di principio di uno stadio di uscita in classe A, mentre a destra è raffigurato l'equivalente in classe A/B. Entrambi gli stadi sono rappresentati con carico resistivo e carico capacitivo collegati.



Al fine di poter pilotare efficacemente bassi carichi resistivi, l'integratore di Miller del DSG/VSCM è stato realizzato utilizzando una architettura in classe A/B,

basata sul lavoro descritto in [16]. La topologia si basa sullo schema QTL (quadratic translinear) in cui la corrente di riposo I_0 dello stato di uscita è fissata analogamente a quanto avviene per gli specchi di corrente, in modo che il valore di I_0 sia poco sensibile alle variazioni di processo e della tensione di alimentazione.

Figura 3.17 Schema di principio dell'architettura QTL.



Facendo riferimento alla Figura 3.17, che rappresenta lo schema di principio dell'architettura di riferimento [18], il funzionamento del sistema QTL è descritto dalle seguenti relazioni:

- **punto di riposo**

valendo la relazione $V_{GS11} + V_{GS13} = V_{GS5} + V_{GS9}$ e poiché $I_{11} = I_{BIAS}$, si può dimostrare che la corrente di riposo dei transistor M9 e M10 vale:

$$I_{DS9} = I_{DS10} = \frac{\beta_9}{\beta_{13}} \cdot I_{BIAS}$$

quindi la tensione di riposo dello stadio di uscita dipende direttamente dalla tensione I_{BIAS} tramite il rapporto dei beta dei transistor; in prima approssimazione, I_Q può quindi essere considerato indipendente dalla tensione di alimentazione e dalla variazione dei parametri di processo;

- **piccoli segnali di ingresso**

l'applicazione di un segnale di ingresso è rappresentata dal generatore di corrente i_s , che determinerà una variazione della tensione di gate del transistor M10 pari a:

$$\Delta V_{G10} = -i_s \cdot R_{OUTP}$$

da cui, essendo anche $i_s = i_{M5} + i_{M6}$, si ottiene che:

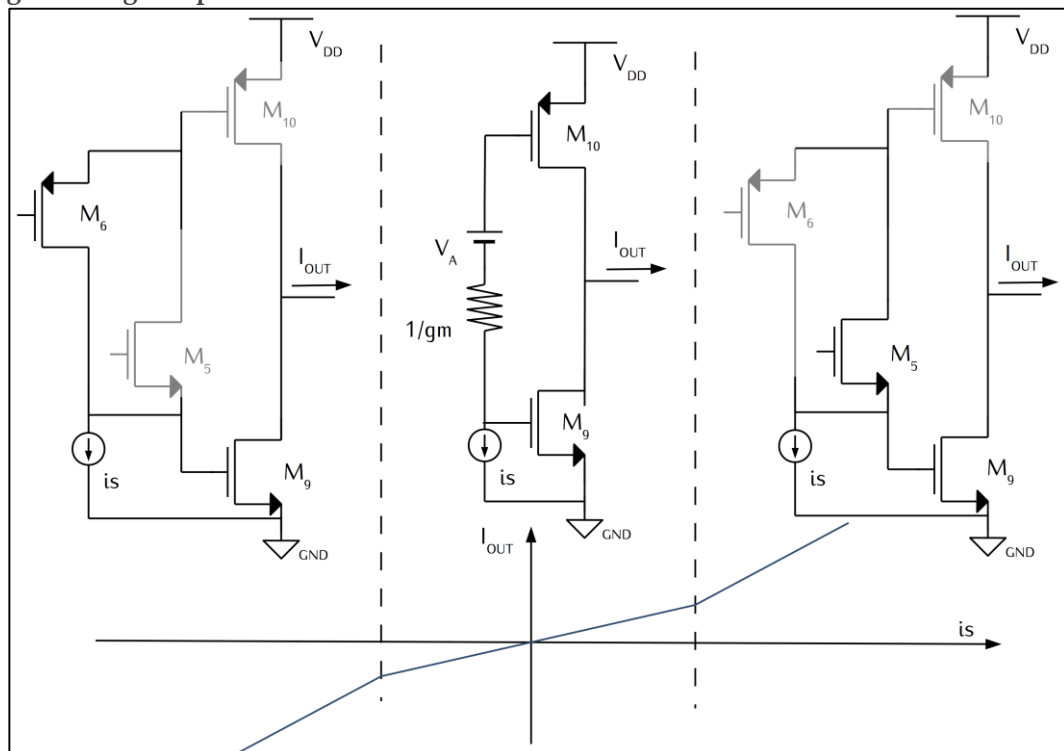
$$\Delta V_{G10} - \Delta V_{G9} = -\frac{i_s}{g_{M5,6}}$$

per piccoli segnali, la coppia di transistor M5 ed M6 agisce quindi come un resistenza di valore $1/g_m$;

- **grandi segnali di ingresso**

nel momento in cui uno dei due transistor di uscita entra in zona triodo, entra in zona triodo anche il rispettivo transistor della coppia M5-M6; le tensioni di gate dei transistor di uscita possono così entrambe raggiungere i rail di alimentazione

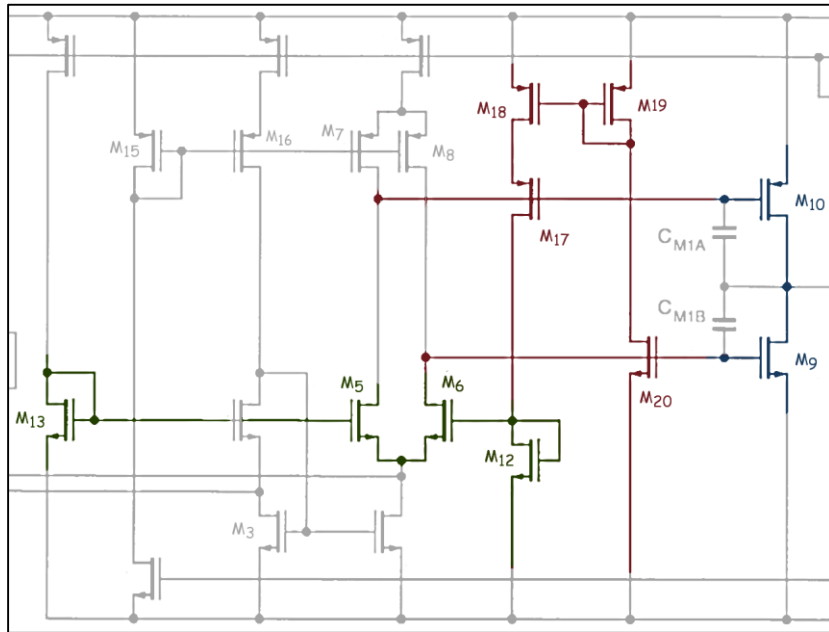
Figura 3.18 Stato dei transistor ed andamento della tensione di uscita per differenti segnali di ingresso. Da sinistra, verso destra: grande segnale negativo, piccolo segnale, grande segnale positivo.



Tuttavia, lo schema sopra descritto non è adatto ad applicazioni low-voltage, poiché richiede una tensione di alimentazione pari ad almeno due V_{GS} .

Per l'effettiva implementazione dell'integratore è stata perciò utilizzata una topologia differente, in cui la tensione di riposo dei transistor dello stadio di uscita è fissata utilizzando sia le relazioni QTL sia una rete di reazione negativa (Figura 3.19).

Figura 3.19 Schema circuitale semplificato dello stadio di uscita dell'amplificatore in classe A/B implementato. In verde sono evidenziati i transistor che determinano la relazione QTL. In rosso è evidenziata la catena di reazione. In blu è rappresentato lo stadio di uscita.



Il funzionamento del sistema, dal punto di vista della stabilizzazione della corrente di riposo dei transistor di uscita (M_9 e M_{10}) può essere compreso facendo riferimento alla Figura 3.20, estratto delle porzioni di circuito evidenziate in verde e in rosso nella Figura 3.19.

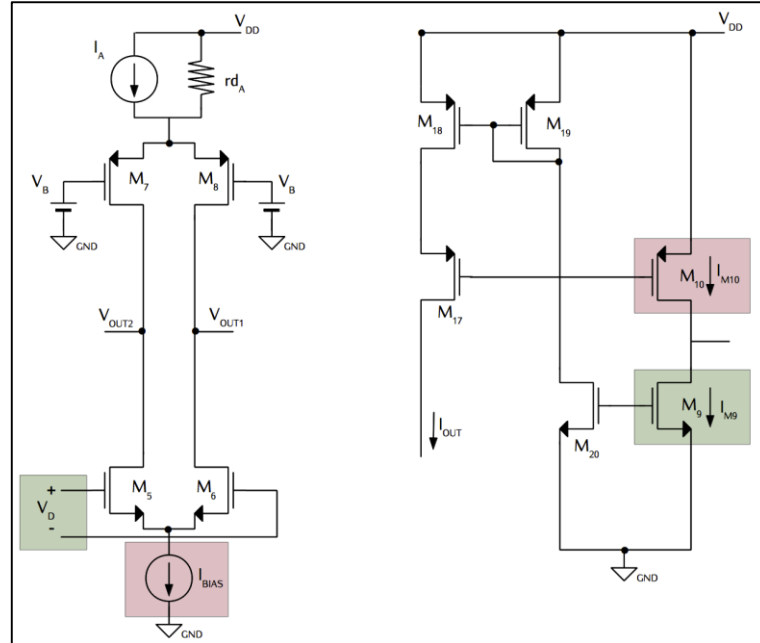
In Figura 3.20, supponiamo per ora nulla la tensione differenziale V_D (funzione della corrente I_{OUT}) e consideriamo il circuito perfettamente simmetrico. Le tensioni V_{OUT1} e V_{OUT2} , che pilotano i gate dei due transistor di uscita, avranno lo stesso valore, che sarà compreso fra i due rail di alimentazione.

Dall'analisi circuitale si può dimostrare che la rete di reazione, sulla destra dell'immagine, eroga una corrente I_{OUT} in accordo alle seguenti:

- se $I_{M10} = I_{M9} = I_0$, allora I_{OUT} è uguale a circa $I_0/2$;
- se $I_{M10} \gg I_{M9}$, allora I_{OUT} è uguale a I_{M9} ;
- se $I_{M9} \gg I_{M10}$, allora I_{OUT} è uguale a I_{M10} .

Nel caso in cui le correnti I_{M10} e I_{M9} fossero uguali e pari proprio al valore desiderato I_0 , allora I_{OUT} sarebbe uguale a $I_0/2$ e la tensione V_D rimarrebbe nulla; le tensioni V_{OUT1} e V_{OUT2} sarebbero fisse e il sistema sarebbe in equilibrio.

Figura 3.20 Porzione di circuito che regola la corrente di riposo dei transistor M9 e M10.



Immaginiamo ora che in virtù, ad esempio, di una variazione di processo o ad una variazione della tensione di alimentazione, la corrente del transistor I_{M10} aumenti notevolmente. In questo caso, la corrente I_{OUT} , aumenterebbe fino a valere $I_{OUT} = I_{M9} = I_0$.

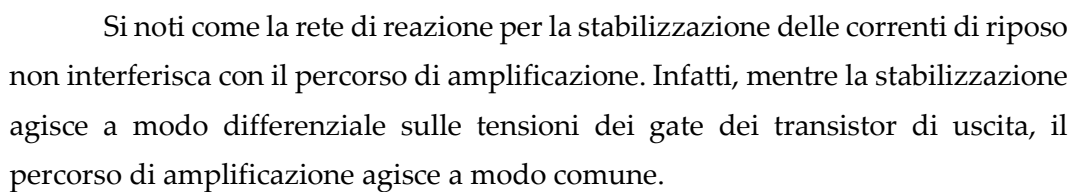
La tensione V_D , proporzionale¹³ alla differenza fra $I_0/2$ e I_{OUT} , aumenterebbe, provocando un aumento di V_{OUT2} e una diminuzione di V_{OUT1} ; così facendo I_{M10} viene diminuita, con un effetto di reazione negativa che stabilizza la corrente di riposo dei transistor di uscita al valore I_0 desiderato.

3.5.1 Amplificazione a modo differenziale

L'amplificazione del segnale differenziale di ingresso, passa per lo stesso blocco che implementa la relazione QTL (si veda la Figura 3.21). Una variazione del segnale di ingresso all'amplificatore, cambia la corrente che scorre nel generatore I_{BIAS} di Figura 3.20, il che determina una contemporanea traslazione

¹³ La dipendenza di V_D da I_{OUT} è data dalle relazioni QTL.

Figura 3.21 Schema complessivo dell'amplificatore. In blu è raffigurato il percorso di amplificazione del segnale differenziale di ingresso.



L'adozione di un sistema di generazione di tipo switched-capacitor richiede una rete digitale per il controllo degli switch nelle varie fasi di funzionamento. Nel caso specifico, l'intima correlazione fra la rete di generazione del segnale sinusoidale e il sistema di regolazione della tensione continua (paragrafo 3.4.3) ha inoltre richiesto l'implementazione di un sistema di sincronizzazione fra i segnali di controllo delle due reti di switch.

51

di ciascuna capacità è stato connesso a un deviatore adibito per la commutazione fra i due valori di tensione di riferimento prodotti dal bandgap differenziale.

Dal punto di vista digitale, il segnale sinusoidale è generato tramite un contatore Up-Down modulo 65, denominato *samples_counter*. Ad ogni valore in uscita dal contatore, tramite codifica termometrica, è assegnata una stringa di 64 bit che determina lo stato di ciascun deviatore delle 64 capacità. Il valore 64 del contatore corrisponde a una stringa composta da soli "1" (picco positivo del segnale sinusoidale); all'opposto, il valore 0 corrisponde a una stringa di soli "0" (picco negativo del segnale sinusoidale).

Tabella 3-1 Esempio del sistema di codifica utilizzato nel caso di 16 campioni (corrispondenti a numero 8 capacità).

Uscita del contatore	Valore della sinusoide	Codice termometrico
0	0.0000	00000000
1	0.1951	00000001
2	0.3827	00000011
3	0.5556	00000111
4	0.7071	00001111
5	0.8315	00011111
6	0.9239	00111111
7	0.9808	01111111
8	1.0000	11111111

A parità di frequenza di clock, il periodo della sinusoide può essere variato modificando il valore dell'addendo del contatore. Per addendo uguale a 1, viene prodotta una sinusoide con il massimo numero di campioni (128 campioni). Per addendo uguale a 32 viene prodotta una "sinusoide" con il numero minimo di campioni permessi dal sistema (2 campioni).

Al fine di incrementare la versatilità del sistema e di ridurre al minimo i transitori del segnale di uscita, l'implementazione della rete digitale è stata effettuata utilizzando i seguenti criteri:

- la generazione del segnale sinusoidale, può essere abilitata da un segnale di *enable*; quando il segnale di *enable* assume livello logico basso; la stringa di controllo dei deviatori è vincolata al valore corrispondente al codice 32 (corrispondente al valore 0 della sinusoide);

- all'attivazione del segnale di *enable*, la sinusoide può essere generata sia con polarità verso l'alto che con polarità verso il basso;
- disattivando il segnale di *enable*, la generazione del segnale *sinuosidale* non viene interrotta immediatamente ma viene attesa la fine del periodo;
- eventuali variazioni del numero di campioni vengono registrate solo al termine del periodo.

Tabella 3-2 Estratto del codice VHDL della rete di controllo del front-end analogico, in cui è descritto il funzionamento del contatore per la generazione dei campioni. Il segnale *autozero-stop-signal* è utilizzato per la sincronizzazione con la macchina digitale per la regolazione della tensione continua. Il segnale *PI_TOGGLE* determina la polarità della sinusoide.

```
-- Contatore per la generazione del numero di campioni
samples_counter:
process (DSS_Clock_MOD, RESET, DAE)
begin
    if (RESET = '0' or DAE='0') then
        samples_counter_out <= "01000000";
        flag_up_down <= '0';
        autozero_stop_signal <= '0';
    else
        if (rising_edge(DSS_Clock_MOD)) then
            if (BURST_EN = '1' and ff_campioni_finale_out /= "000") then
                case samples_counter_out is
                    when "00000000" =>
                        samples_counter_out <= samples_counter_out + samples_counter_addend;
                        flag_up_down <= '1';
                        autozero_stop_signal <= '0';

                    when "10000000" =>
                        samples_counter_out <= samples_counter_out - samples_counter_addend;
                        flag_up_down <= '0';
                        autozero_stop_signal <= autozero_stop_signal;

                    when "01000000" =>
                        autozero_stop_signal <= autozero_stop_signal;
                        if (SIN_Clock_signal = '0') then
                            flag_up_down <= PI_TOGGLE;
                            if (PI_TOGGLE = '0') then
                                samples_counter_out <= samples_counter_out - samples_counter_addend;
                            else
                                samples_counter_out <= samples_counter_out + samples_counter_addend;
                            end if;
                        else
                            flag_up_down <= flag_up_down;
                            if (flag_up_down = '0') then
                                samples_counter_out <= samples_counter_out - samples_counter_addend;
                            else
                                samples_counter_out <= samples_counter_out + samples_counter_addend;
                            end if;
                        end if;

                    when others =>
                        autozero_stop_signal <= autozero_stop_signal;
                        flag_up_down <= flag_up_down;
                        if (flag_up_down = '0') then
                            samples_counter_out <= samples_counter_out - samples_counter_addend;
                        else
                            samples_counter_out <= samples_counter_out + samples_counter_addend;
                        end if;
                end case;
            else
                autozero_stop_signal <= '1';
                case samples_id is
                    when "001" =>
                        samples_counter_out <= "10000000";
                        flag_up_down <= PI_TOGGLE;

                    when others =>
                        samples_counter_out <= "01000000";
                        flag_up_down <= PI_TOGGLE;
                end case;
            end if;
        end if;
    end process samples_counter;
```

[illegible]

Nell'implementazione effettiva, la regolazione della tensione continua è stata implementata in 7 fasi. Rispetto a quanto descritto nel paragrafo 3.4.3 sono state aggiunte tre fasi intermedie, per evitare effetti legati a passaggi di carica non desiderati fra le capacità durante le fasi di commutazione degli switch (Figura 2.3).

- *fase 2_a*, successiva alla *fase 2*, in cui viene aperto l'interruttore che opera la chiusura a buffer dell'operazionale A2 e le capacità C_U vengono lasciate con uno dei terminali flottanti;
- *fase 2_b*, successiva alla *fase 2_4*, in cui le capacità C_U vengono lasciate flottanti mentre avviene la connessione della capacità C_T fra l'uscita e l'ingresso invertente dell'operazionale A2;

- *fase 4_a*, successiva alla *fase 4* e precedente alla nuova fase 1, in cui le capacità C_U vengono lasciate flottanti prima della connessione della capacità C_T fra gli ingressi dell'amplificatore operazione A1.

Anche per la rete digitale del sistema di regolazione della tensione continua il passaggio tra gli stati degli switch è scandito utilizzando un contatore, denominato *autozero_counter*. Il sincronismo con la rete di creazione della sinusoide è garantito da un segnale di trigger che azzer contemporaneamente i due contatori *samples_counter* e *autozero_counter*.

Il contatore *autozero_counter* è un contatore Up il cui modulo viene impostato dinamicamente in modo da coincidere¹⁴ con il numero di campioni con cui viene generata la sinusoide. In tal modo, è sempre garantito il sincronismo fra la generazione della sinusoide e le fasi delle regolazioni della continua, in quanto l'uscita del contatore *autozero_counter* coincide con il numero del campione in corso (si veda la Figura 3.23). Le fasi numero 2, 2_a, 3, 4_a hanno¹⁵ tutte durata pari ad 1 periodo di clock; la durata delle restanti tre fasi, così come il modulo del contatore, vengono regolati dinamicamente da codice in funzione del numero di campioni. La durata delle varie fasi in funzione del numero di campioni è riportata nella Tabella 3-5.

Tabella 3-4 Estratto di codice VHDL in cui viene definita la fase del ciclo di conversione in funzione dell'uscita del contatore *autozero_counter*.

```
--assegnazione dei segnali di autozero, dei tempi, del numero di campioni, dell'addendo per il contatore
--che genera la sinusoide, del valore di precarica del DAS/VSCVM
assegnazione segnali autozero:
process (DSS_Clock_MOD, RESET, DAE)
begin
  if (RESET = '0' or DAE='0') then
    autozero_deviators_phases <= "11001";--25, fase di reset, equivalente alla fase 1 piu' la CT in corto
  else
    if (rising_edge(DSS_Clock_MOD)) then
      if (BURST_EN = '1' and autozero_stop_signal='1' and ff_campioni_finale_out /= "000" and DAE='1') then
        autozero_deviators_phases <= "11001"; --25, fase di reset
      else
        if (autozero_counter_out >= t1 and autozero_counter_out < t2 ) then
          autozero_deviators_phases <= "00000"; --0, fase 2
        elsif (autozero_counter_out >= t2 and autozero_counter_out < t3) then
          autozero_deviators_phases <= "00110"; --6, fase 3
        elsif (autozero_counter_out >= t3 and autozero_counter_out < t4) then
          autozero_deviators_phases <= "01110";--14, fase 4
        elsif (autozero_counter_out >= t4 and autozero_counter_out < t5) then
          autozero_deviators_phases <= "01000";--8, fase 5
        elsif (autozero_counter_out >= t5 and autozero_counter_out < t6) then
          autozero_deviators_phases <= "01100";--12, fase 6
        elsif (autozero_counter_out >= t6 and autozero_counter_out < t7) then
          autozero_deviators_phases <= "01110";--14, fase 7
        else
          autozero_deviators_phases <= "10001";--17, fase 1
        end if;
      end if;
    end if;
  end if;
end process assegnazione_segnali_autozero;
```

¹⁴ In realtà la corrispondenza fra campioni e modulo del contatore esiste solo nel caso di numero di campioni maggiore di 8. I casi particolari di 2 e 4 campioni sono trattati a parte.

¹⁵ Tranne il caso particolare della generazione con 8 campioni, in cui le fasi 2_a e 2_b vengono saltate, per completare un ciclo di conversione in un unico ciclo di sinusoide.

Figura 3.22 Schema delle fasi per la rete di regolazione della tensione continua effettivamente implementato su chip.

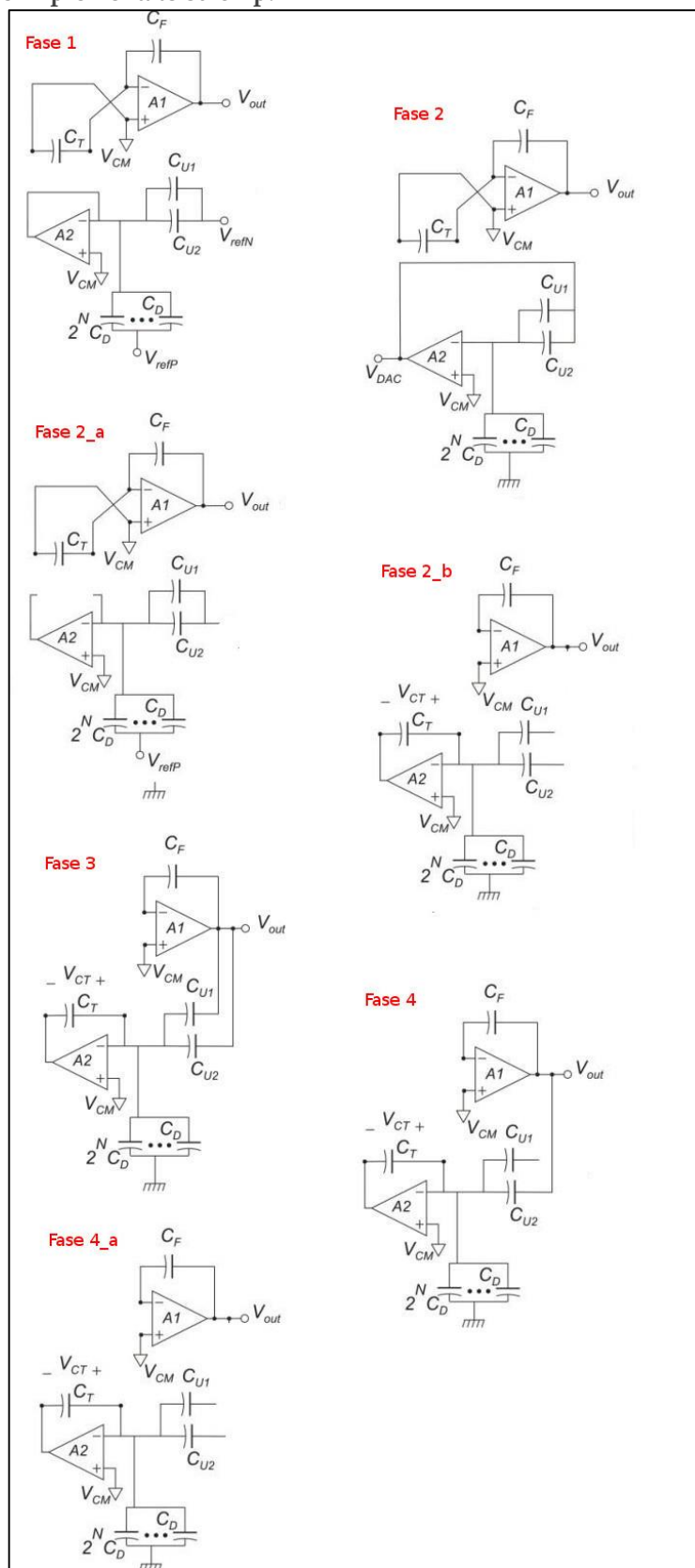


Figura 3.23 Esempio di sincronismo fra il contatore per la generazione della sinusoide e il contatore per la regolazione della tensione continua, nel caso di 16 campioni.

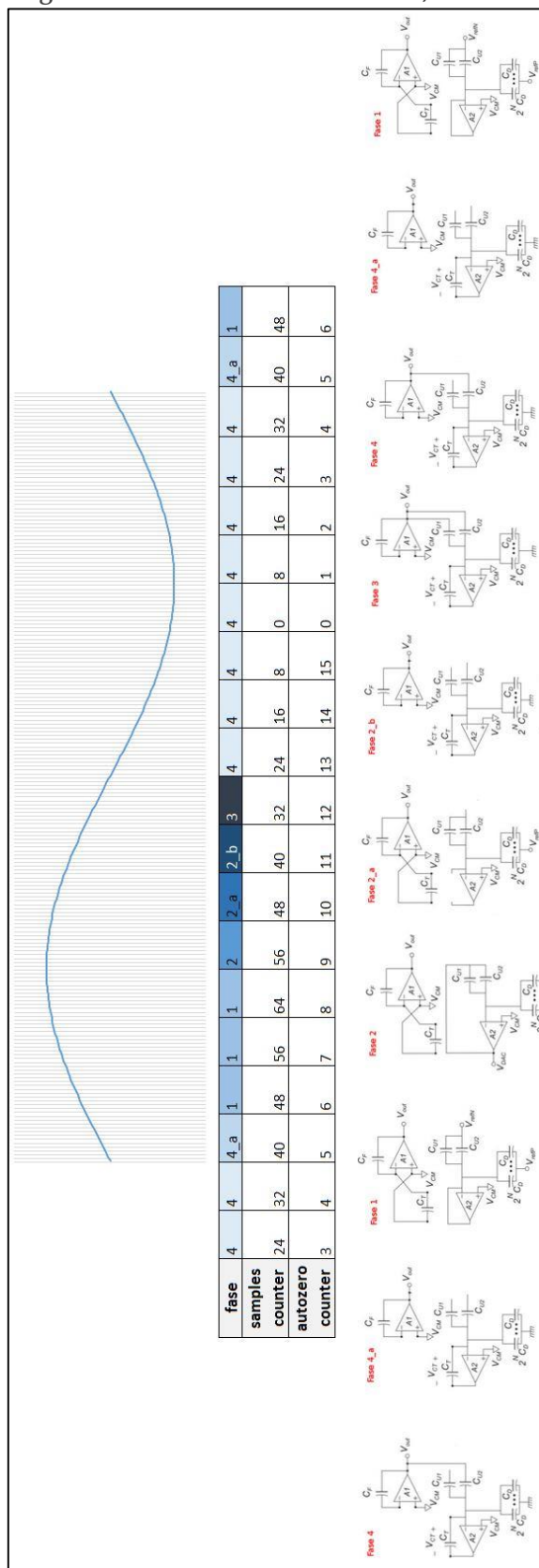


Tabella 3-5 Durata della fasi in funzione del numero di campioni.

	Durata della fase (in periodi di clock)							
Numero di campioni	Fase 1	Fase 2	Fase 2_a	Fase 2_b	Fase 3	Fase 4	Fase 4_a	Periodo
0	1	1	1	1	1	1	1	7
2	2	1	1	1	1	1	1	8
4	4	1	1	2	1	2	1	12
8	1	1	0	0	1	4	1	8
16	3	1	1	1	1	8	1	16
32	7	1	1	5	1	16	1	32
64	15	1	1	13	1	32	1	64
128	31	1	1	29	1	64	1	128

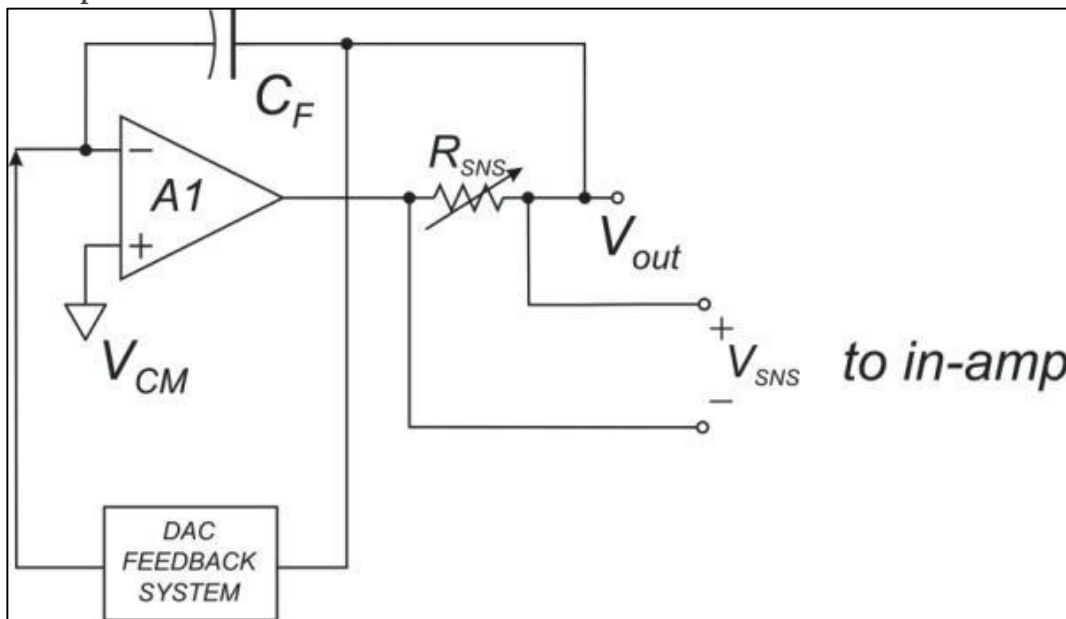
Tabella 3-6 Codice VHDL della codifica termometrica.

[illegible]

3.7 II VSCM

Il VSCM rappresenta in pratica una copia¹⁶ del DSG in cui è assente la rete di generazione della tensione sinusoidale. A differenza del DSG, il VSCM presenta però una resistenza R_{SNS} in serie fra il terminale di force e il terminale di sense, così da poter essere utilizzato per la lettura della corrente che fluisce nel DUT.

Figura 3.24 Schema di principio del VSCM, comprensivo della resistenza R_{SNS} per la lettura della corrente che scorre nel DUT. La tensione V_{SNS} viene inviata in ingresso all'amplificatore da strumentazione.



Considerando infatti trascurabili¹⁷ gli effetti delle resistenze parassite vale la relazione:

$$V_{SNS} \cong R_{SNS} \cdot I_{DUT} \quad (3-31)$$

¹⁶ In realtà, anche i due blocchi differiscono anche a livello di regolazione della tensione continua, in quanto il VSCM presenta una risoluzione nominale in DC di 6 bit, mentre il DSG ha una risoluzione nominale di 12 bit.

¹⁷ Nell'implementazione su chip, la connessione fra l'amplificatore da strumentazione e la resistenza R_{SNS} è stata effettuata con un sistema a 4 contatti, per ridurre effettivamente l'influenza delle resistenze parassite.

3.8 Bibliografia

- [1] AN Longhitano, F del Cesta, P Bruschi, and R Simmarano, "A continuous time switched capacitor DAC with offset and flicker noise cancellation," in Ph. D. Research in Microelectronics and Electronics (PRIME), 2013 9th Conference on, 2013, pp. 197-200.
- [2] Adel S Sedra and Kenneth Carless Smith, Microelectronic circuits.: Oxford university press, 1998, vol. 1.
- [3] Teresa Serrano-Gotarredona and Bernab, "7-decade tuning range CMOS OTA-C sinusoidal VCO," Electronics Letters, vol. 34, no. 17, pp. 1621-1622, 1998.
- [4] Benoit Provost and Edgar Sanchez-Sinencio, "On-chip ramp generators for mixed-signal BIST and ADC self-test," Solid-State Circuits, IEEE Journal of, vol. 38, no. 2, pp. 263-273, 2003.
- [5] Serge Bernard, Florence Aza, Yves Bertrand, and Michel Renovell, "A high accuracy triangle-wave signal generator for on-chip ADC testing," in Test Workshop, 2002. Proceedings. The Seventh IEEE European, 2002, pp. 89-94.
- [6] Lionel Cordesses, "Direct Digital Synthesis:A Tool for Periodic Wave Generation (Part 1 and Part 2)," IEEE SIGNAL PROCESSING MAGAZINE, JULY 2004.
- [7] Texas Instruments, "Generation of a Sine Wave Using a TMS320C54x Digital Signal Processor," Application Report SPRA819, July 2004.
- [8] Daniel Rairigh, Xiaowen Liu, Chao Yang, and Andrew J Mason, "Sinusoid signal generator for on-chip impedance spectroscopy," in Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on, 2009, pp. 1961-1964.
- [9] Christian C Enz and Gabor C Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proceedings of the IEEE, vol. 84, no. 11, pp. 1584-1614, 1996.

- [10] Marshall J Bell, "An LCD column driver using a switch capacitor DAC," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 12, pp. 2756-2765, 2005.
- [11] Hirokazu Yoshizawa and Gabor C Temes, "Switched-capacitor track-and-hold amplifiers with low sensitivity to op-amp imperfections," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 54, no. 1, pp. 193-199, 2007.
- [12] Massimiliano Belloni, Edoardo Bonizzoni, Andrea Fornasari, and Franco Maloberti, "A micropower chopper—CDS operational amplifier," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 12, pp. 2521-2529, 2010.
- [13] A Bakker and JH Huijsing, "A CMOS chopper opamp with integrated low-pass filter," in *Solid-State Circuits Conference, 1997. ESSCIRC'97. Proceedings of the 23rd European, 1997*, pp. 200-203.
- [14] Ion E Opris and Gregory TA Kovacs, "A rail-to-rail ping-pong op-amp," *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 9, pp. 1320-1324, 1996.
- [15] Chong-Gun Yu and Randall L Geiger, "An automatic offset compensation scheme with ping-pong control for CMOS operational amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 29, no. 5, pp. 601-610, 1994.
- [16] Klaas-Jan De Langen and Johan H Huijsing, "Compact low-voltage power-efficient operational amplifier cells for VLSI," *Solid-State Circuits, IEEE Journal of*, vol. 33, no. 10, pp. 1482-1496, 1998.
- [17] R Jacob Baker, *CMOS: circuit design, layout, and simulation.*: John Wiley & Sons, 2011, vol. 18.
- [18] D. M.Monticelli, "A quad CMOS single-supply opamp with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, vol. SSC-21, pp. 1026-1034, Dec. 1986.

4 Amplificatore da strumentazione

In questo capitolo è descritta la topologia dell'amplificatore da strumentazione, circuito principale del canale di lettura. Dopo una breve panoramica delle principali architetture presenti in letteratura e delle loro limitazioni rispetto alle specifiche richieste dal sistema, verrà presentata la soluzione sviluppata: una originale topologia fully-differential con modo comune di ingresso quasi rail-to-rail. La cancellazione dell'offset e la riduzione delle componenti di rumore a bassa frequenza sono implementate per mezzo di modulazione chopper.

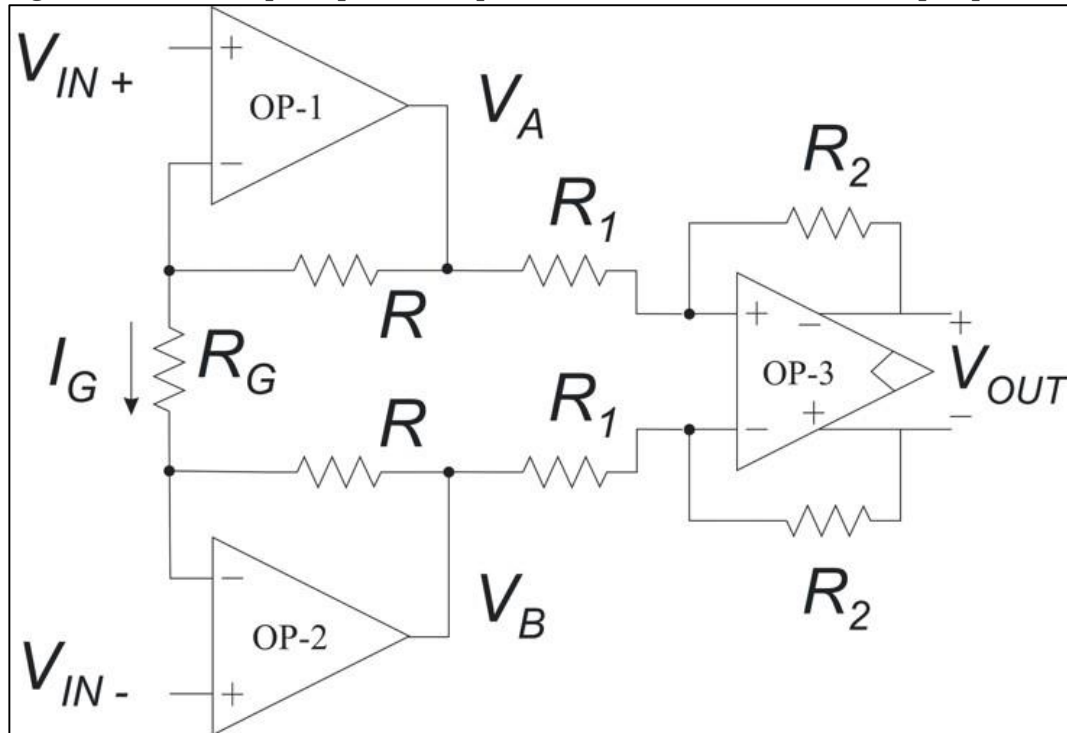
4.1 Principali topologie in letteratura

Gli amplificatori da strumentazione costituiscono i circuiti principali della catena di lettura di numerose tipologie di interfacce per sensori. Sono utilizzati per l'interfacciamento di sensori termoelettrici [1] o ponti di Wheatstone, in cui il segnale utile è rappresentato da una tensione in DC, e per la misura di impedenze complesse in applicazioni come la discriminazione di campioni biologici [2] o l'identificazione di specie chimiche [3]. Gli amplificatori da strumentazione presentano quindi elevati requisiti in termini di versatilità. La compatibilità con una ampia classe di sensori richiede un range di tensioni di modo comune di ingresso (CMVR) ampio, che date le ridotte tensioni di alimentazione dei moderni system-on-a-chip (SoC) significa spesso un CMVR rail-to-rail. Sempre

l'integrazione all'interno di SoC, richiede design compatti e bassi consumi di potenza. Differenti applicazioni, quali ad esempio la voltammetria o l'impedenziometria, richiedono di identificare segnali differenziali di ampiezza differente (da pochi μV ai V): amplificatori con guadagno programmabile, da poche unità fino a decine o centinaia, sono quindi desiderabili. Infine, l'utilizzo in applicazioni in AC con segnali di stimolo fino al MHz, richiede una banda elevata.

In letteratura è possibile trovare numerose topologie di amplificatore che presentano, in parte, i requisiti richiesti. Il classico amplificatore operativo a tre-OPAMP (Figura 4.1), può essere progettato per ottenere un CMVR elevato, utilizzando coppie complementari p-n per gli stadi di ingresso dei due operazionali OP-1 e OP-2..

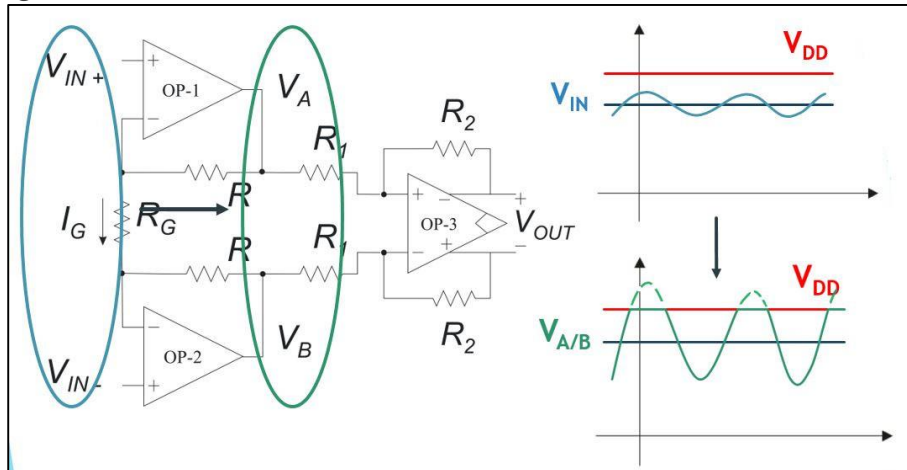
Figura 4.1 Schema di principio dell'amplificatore da strumentazione a tre-opamp.



Tuttavia, l'amplificatore a tre-opamp non è ottimizzato dal punto di vista del consumo di area e non consente di ottenere coefficienti di reiezione del modo comune (CMRR) molto elevati. Ma, soprattutto, presenta una importante limitazione per quanto concerne la dinamica differenziale di ingresso: poiché il modo comune di ingresso passa inalterato dal primo stadio dell'amplificatore (composto da OP-1 e OP-2), nel caso in cui la tensione comune di ingresso sia prossima ai rail, un eventuale guadagno a modo differenziale del primo stadio

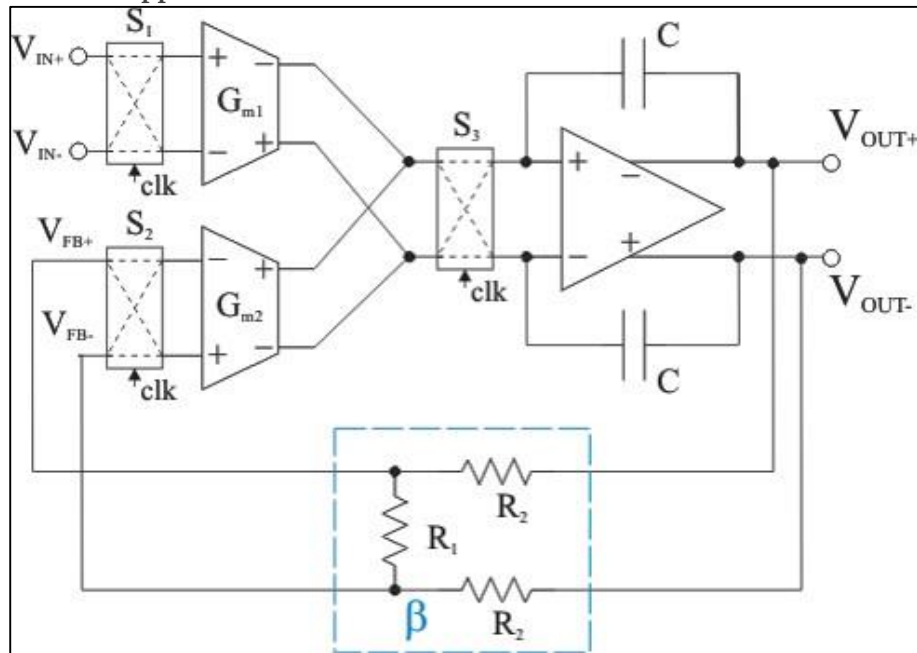
porterà sicuramente a un clipping della tensione differenziale in uscita al primo stadio (Figura 4.2).

Figura 4.2 Amplificatore a tre-opamp. Nel caso di modo comune di ingresso prossimo ai rail, un eventuale guadagno del primo stadio dell'amplificatore può portare a un clipping della tensione a modo differenziale.



La topologia probabilmente più diffusa in letteratura, in virtù dell'intrinseca efficacia in termini di CMRR e di consumo di area, è rappresentata dall'indirect current feedback (ICF) [4], il cui schema di principio (nella versione fully-differential e con modulazione chopper) è riportato in Figura 4.3. Gli amplificatori ICF consentono di implementare efficacemente la modulazione chopper e il dynamic-element-matching [5] [6], che consentono, rispettivamente, la riduzione dell'offset e del rumore a bassa frequenza e l'aumento della precisione del guadagno a modo differenziale. Tuttavia, la precisione del guadagno è fortemente ridotta nel caso in cui il modo comune di ingresso sia prossimo ai rail di alimentazione. Con riferimento alla Figura 4.3, l'amplificatore Gm1 riceve il modo comune di ingresso, mentre l'amplificatore Gm2 è azionato dal segnale di feedback, che presenta lo stesso modo comune, stabilizzato, del segnale di uscita dell'amplificatore. Ciò può portare a notevoli errori di guadagno, fino al 50%, nel caso in cui il modo comune di ingresso si avvicini ai rail di alimentazione. Infatti, al fine di garantire un elevato CMVR, gli amplificatori Gm1 e Gm2 sono solitamente progettati utilizzando coppie complementari p-n per lo stadio di ingresso. Nel momento in cui la tensione di modo comune di ingresso si avvicina a uno dei rail, una delle coppie p-n in Gm1 si spegne, così che il guadagno di Gm1 sia in pratica dimezzato, invalidando la condizione di bilanciamento di Gm1 e Gm2, necessaria per la precisione del guadagno complessivo dell'amplificatore.

Figura 4.3 Schema di principio di un amplificatore ICF fully-differential con modulazione chopper.



Una soluzione al problema, in cui la tensione differenziale di ingresso è modulata da una rete capacitiva che reietta il modo comune di ingresso, è descritta in [8]. Tuttavia, tale approccio risulta poco adatto alle applicazioni di tipo impedenziometrico.

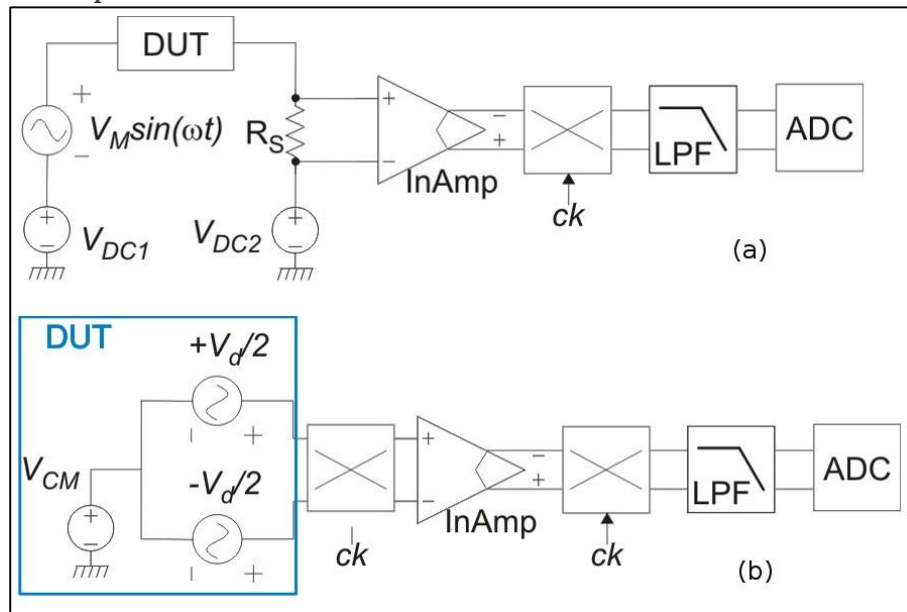
4.2 Architettura proposta

Tenendo conto delle molteplici esigenze dei sistemi per la lettura di sensori integrati, è stato sviluppato un amplificatore da strumentazione adatto all'utilizzo sia in applicazioni AC che DC (Figura 4.4), con le seguenti caratteristiche:

- range di modo comune di ingresso (quasi) rail-to rail ed elevato CMRR;
- modulatore chopper integrato per la riduzione dell'offset e delle componenti di rumore a bassa frequenza (come descritto nel seguito, per applicazioni in AC è possibile effettuare la demodulazione fase/quadratura direttamente all'interno dell'amplificatore, azionando il solo modulatore di uscita);
- guadagno differenziale programmabile su quattro livelli (1, 12, 20, 40);

- architettura fully-differential;
- design compatto (ingombro pari a circa $270\mu\text{m} \times 210\mu\text{m}$), consumo di potenza ridotto ($75.6\mu\text{W}$ @ $V_{\text{dd}} = 1.8\text{V}$) e bassa potenza di rumore riportato in ingresso (DSP di rumore termico riportato in ingresso¹⁸ pari a $75\text{ nV}/\sqrt{\text{Hz}}$ ¹⁹).

Figura 4.4 Utilizzo dell'amplificatore da strumentazione per misure di impedenza (a) e per misure in DC (b). Si noti come in entrambi i casi sia necessaria la presenza di un modulatore in uscita all'amplificatore e come il modo comune di ingresso possa variare in modo non predicibile all'interno dei rail di alimentazione.



In Figura 4.5 è riportato lo schema di principio semplificato del sistema, che come è possibile osservare è formato da due stadi.

Il primo stadio, di ingresso, è composto da due amplificatori OTA1 e OTA2, seguiti in cascata dai transistor M1 e M2 in configurazione source-comune, e dalla resistenza R_1 . Ciascun gruppo OTA-M costituisce un amplificatore ad alto guadagno chiuso in reazione in configurazione buffer, così che le tensioni di ingresso V_{IN} e V_{IP} siano replicate ai capi della resistenza R_1 :

$$I_{R1} = \frac{V_{SP} - V_{SN}}{R_1} \cong \frac{V_{IP} - V_{IN}}{R_1} \quad (4-1)$$

$$I_{R1} = \frac{I_{D1} - I_{D2}}{2}$$

¹⁸ Con modulazione chopper attiva.

¹⁹ Il dato è stato ricavato da misure sperimentali sul prototipo della release numero 3 del sistema. Attualmente è in produzione la 4° release, in cui il dimensionamento è stato ottimizzato e la DSP attesa è pari a $45\text{ nV}/\sqrt{\text{Hz}}$.

Tralasciando gli effetti del mismatch e degli elementi parassiti, le correnti I_{D1} e I_{D2} sono replicate, nel secondo stadio, dai transistor M_{1R} e M_{2R} , nominalmente identici ai transistor M_1 e M_2 , rispettivamente:

$$I_{R2} = \frac{I_{DR1} - I_{DR2}}{R_2} \cong \frac{I_{D1} - I_{D2}}{R_2} = I_{R1} \quad (4-2)$$

Il guadagno differenziale dell'amplificatore è quindi dato dal rapporto tra le resistenze R_2 e R_1 :

$$\begin{aligned} V_{OP} - V_{ON} &= R_2 \cdot I_{R2} \cong R_2 \cdot I_{R1} = \\ &= \frac{R_2}{R_1} \cdot (V_{IP} - V_{IN}) \end{aligned} \quad (4-3)$$

Come nel caso dell'amplificatore a tre op-amp il modo comune di ingresso passa inalterato dal primo stadio, ma poiché non avviene amplificazione del segnale differenziale, non vi è alcuna limitazione dal punto di vista della dinamica. La reiezione del modo comune di ingresso e l'amplificazione del segnale differenziale avvengono entrambe nel secondo stadio. Il modo comune di uscita è regolato a un valore costante (pari a metà della tensione di alimentazione, per ottenere la massima dinamica differenziale di uscita) utilizzando una classica rete di controllo CMFB [11] che aziona i generatori di bias I_{OR} (Figura 4.6).

Figura 4.5 Schema semplificato dell'amplificatore implementato.

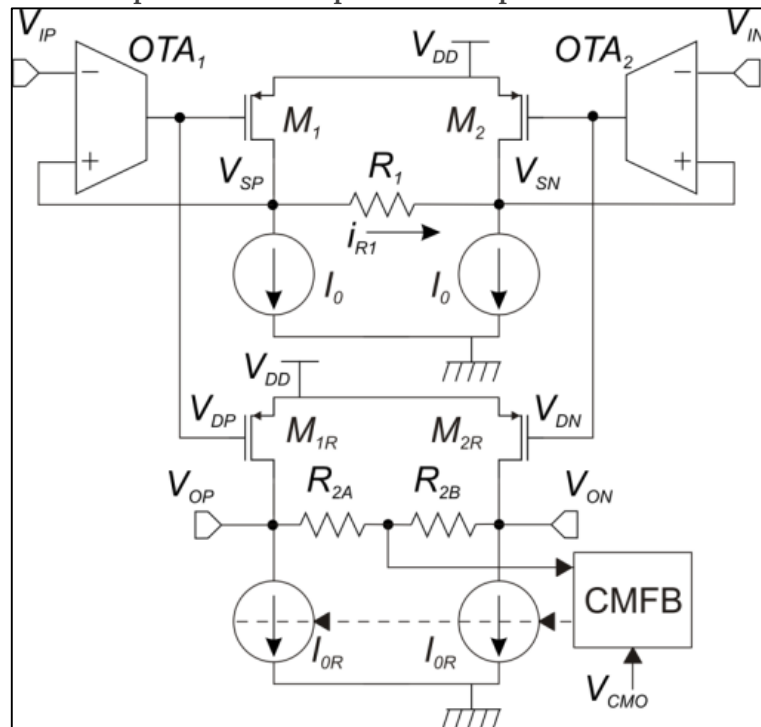
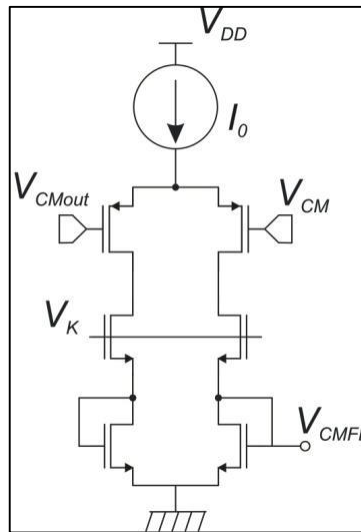


Figura 4.6 Rete di controllo del segnale di modo comune di uscita, che aziona i generatori di bias I_{OR} .



Il principio di funzionamento del sistema è simile a quello degli amplificatori current-balance [12], in cui però lo stadio di ingresso è formato dalla cascata di un OTA e uno stadio source-follower, anziché source-comune, che riduce drasticamente la dinamica di modo comune di ingresso. La soluzione proposta, permette invece di ottenere un range di modo comune di ingresso rail-to-rail, a meno della tensione di over-drive dei transistor M_1 ed M_2 . Infatti, nel caso in cui la tensione di ingresso di modo comune approssimi i rail fino a portare in zona triodo uno tra M_1 ed M_2 , viene meno la corrispondenza fra la corrente nel transistor e la corrente nella relativa replica. I transistor M_{1R} e M_{2R} sono infatti forzati in zona di saturazione dal CMFB. Per tensioni di modo comune entro i 100 mV circa dai rail si verifica quindi una alterazione del guadagno dell'amplificatore (Figura 4.7).

Come contropartita dell'aumento della dinamica di modo comune in ingresso, l'adozione di uno stadio a source-comune ha richiesto l'introduzione di una rete di compensazione (paragrafo 4.2.3) e di un accurato dimensionamento della risposta in frequenza, come descritto nel paragrafo 4.2.4.

Le esigenze dell'ampia dinamica di ingresso di modo comune e di una corretta replica delle tensioni di ingresso ai capi di R_1 hanno richiesto, per gli OTA, l'utilizzo di una configurazione folded-cascode con coppie di ingresso p-n (Figura 4.8). Si noti che nell'architettura proposta, a differenza di quanto avviene per la topologia ICF, l'eventuale spegnimento di una delle coppie p-n non comporta errori nel guadagno complessivo dell'amplificatore, fintanto che vale la condizione: $V_{IP} - V_{IN} \cong V_{SP} - V_{SN}$. Infine, nell'implementazione effettiva del

sistema, sono stati utilizzati stadi cascode per aumentare la precisione del guadagno (Figura 4.10).

Figura 4.7 Caratteristica di trasferimento differenziale in DC (guadagno 20) per differenti modi comuni di ingresso (a); tensione differenziale di uscita in funzione del modo comune di ingresso per guadagno pari 20 e segnale differenziale di ingresso pari a 40 mV (b). I dati sono stati tratti da misure sperimentali sulla terza release del sistema.

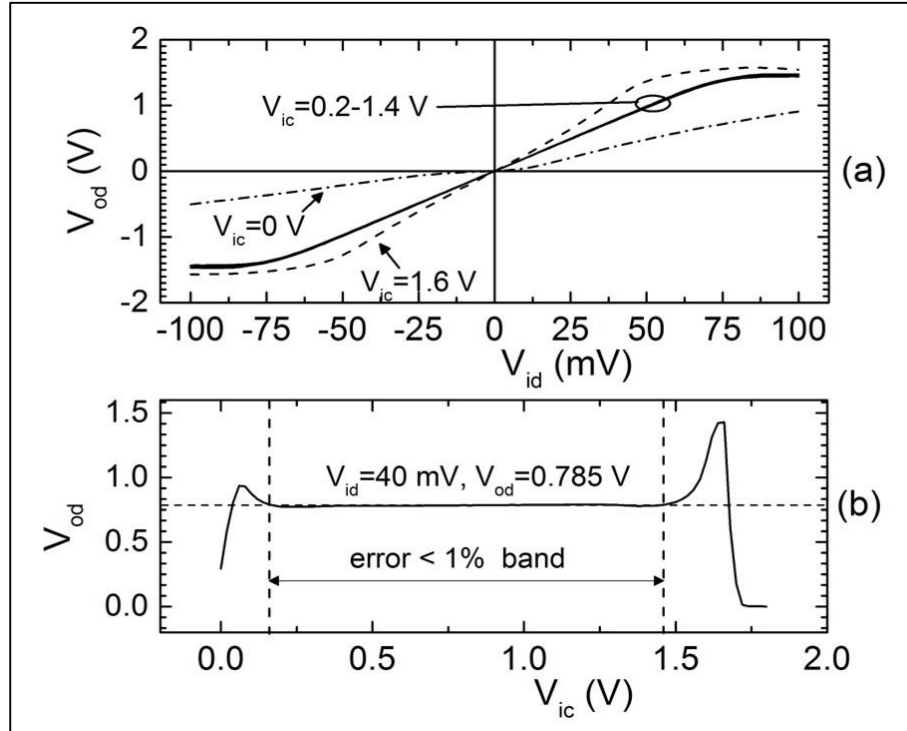
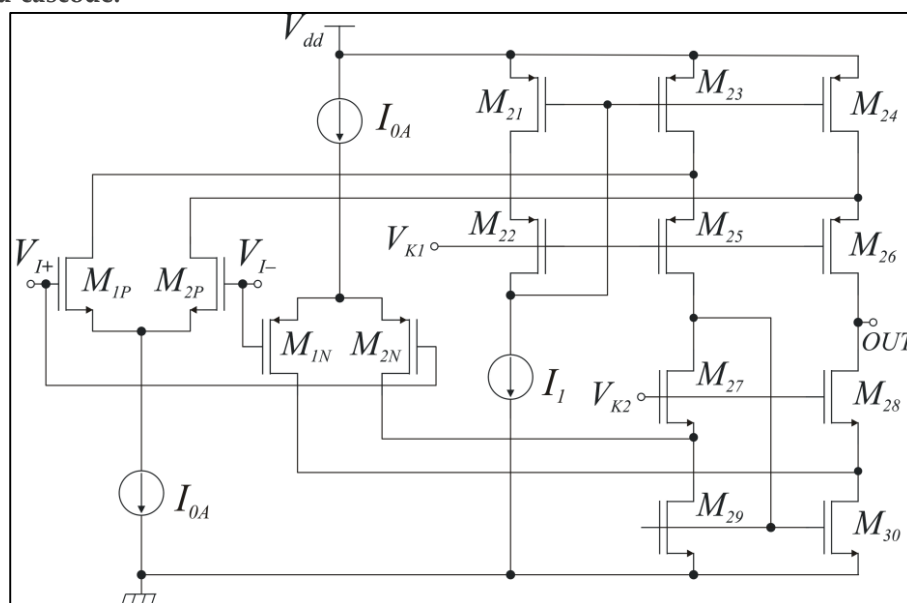


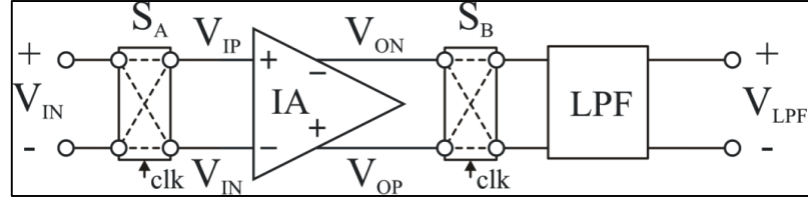
Figura 4.8 Schema circuitale dei blocchi OTA utilizzati per lo stadio di ingresso dell'amplificatore. Si notino sulla sinistra le coppie p-n e sulla destra l'implementazione folded-cascode.



4.2.1 Modulatori integrati

I contributi in uscita dell'offset e delle componenti di rumore a bassa frequenza possono essere convenientemente ridotti utilizzando una tecnica di modulazione chopper, il cui schema tipico è riportato in Figura 4.9.

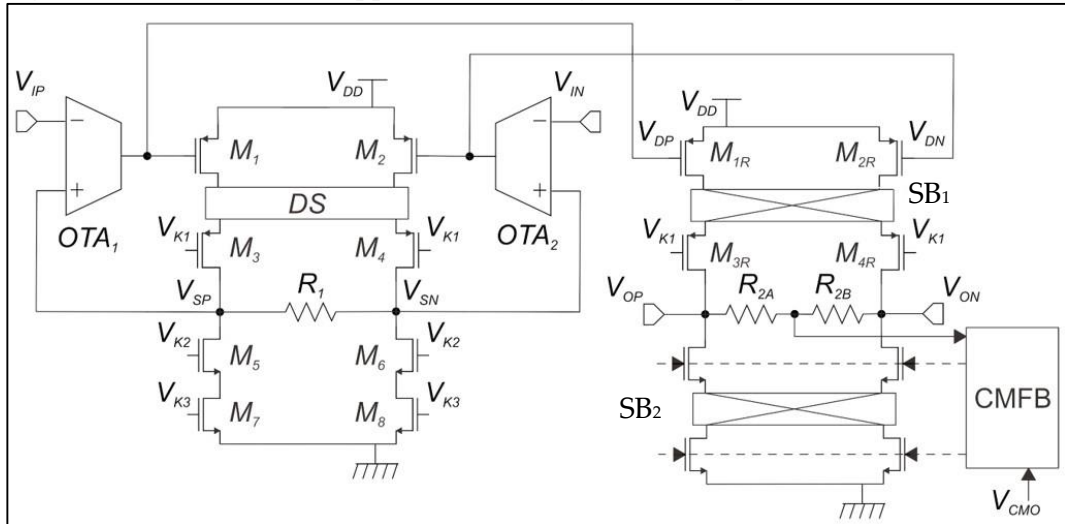
Figura 4.9 Schema di principio di un amplificatore da strumentazione con modulazione chopper.



Nell'implementazione effettiva, il modulatori di uscita S_B è stato integrato all'interno dell'amplificatore stesso, in corrispondenza dei transistor a gate comune dei rami cascode dello stadio di uscita (Figura 4.10).

Il modulatori SB_1 effettua la vera e propria modulazione del segnale, mentre il modulatori SB_2 modula le correnti prodotte dai generatori di bias I_{OR} , riducendo i loro contributi in termini di offset e di rumore a bassa frequenza. Al fine di aumentare la precisione nella replica delle correnti I_{D1} e I_{D2} , all'interno dello stadio di ingresso è stato inserito un modulatori dummy DS , copia di SB_1 .

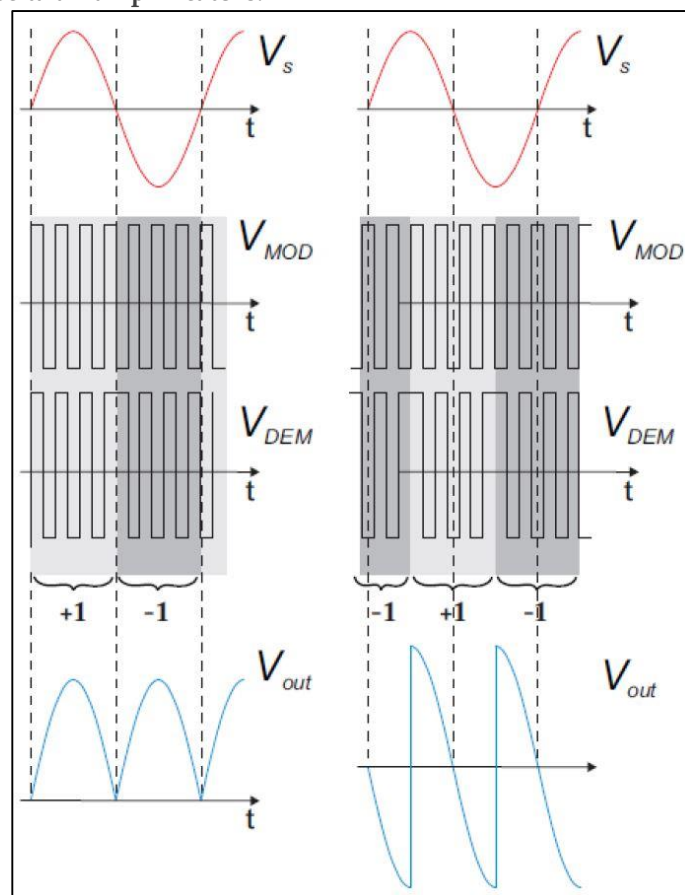
Figura 4.10 Modulazione chopper in uscita integrata nell'amplificatore.



4.2.2 Demodulazione del segnale

Come anticipato nell'introduzione, azionando il solo modulatore di uscita e disattivando il modulatore di ingresso, è possibile operare la demodulazione in fase e in quadratura del segnale processato dall'amplificatore. I segnali di demodulazione sono forniti dalla stessa rete digitale che produce gli stimoli del sensore, così che la demodulazione sia effettivamente allineata al segnale di stimolo, dal punto di vista della fase (si veda a proposito il capitolo 5). Per segnali in AC ad alta frequenza, cioè oltre la frequenza di corner del rumore dell'amplificatore, viene effettivamente azionato il solo modulatore di uscita. Per segnali in AC a frequenza inferiore rispetto a quella di corner, invece, la modulazione chopper e la demodulazione vengono azionate contemporaneamente (Figura 4.11).

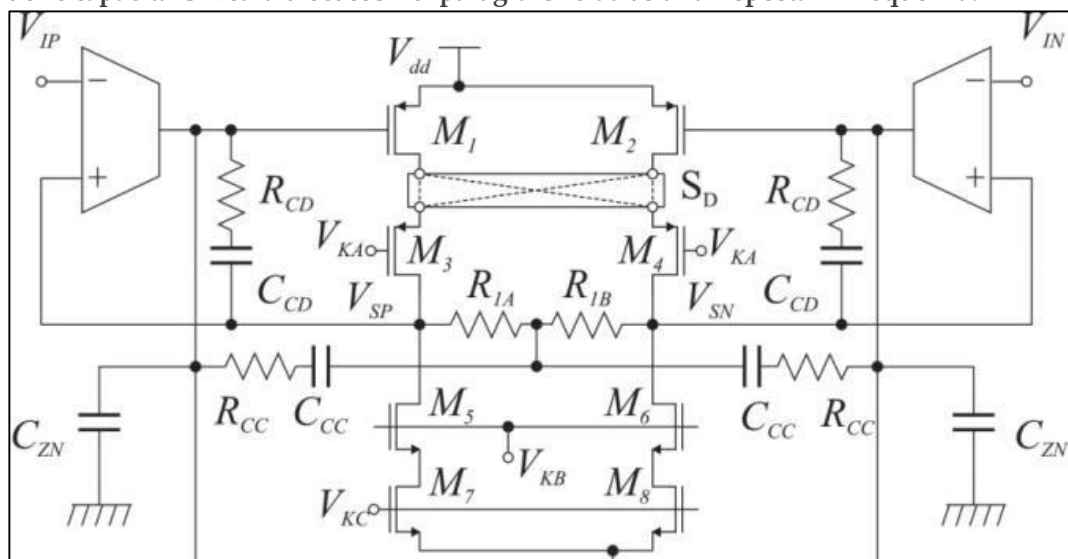
Figura 4.11 Utilizzo contemporaneo di chopping e demodulazione, in fase sulla sinistra, e in quadratura, sulla destra. I segnali, dall'alto verso il basso, sono: tensione differenziale di ingresso, modulazione in ingresso, modulazione in uscita, tensione differenziale in uscita all'amplificatore.



4.2.3 Stabilità

La replica delle tensioni di ingresso ai capi della resistenza R_1 avviene attraverso due amplificatori a due stadi chiusi in configurazione a guadagno unitario, che richiedono una rete di compensazione ai fini della stabilità. Inoltre, poiché sia il modo comune di ingresso sia il modo differenziale di ingresso vengono replicati, la stabilità deve essere garantita per entrambi i percorsi di reazione.

Figura 4.12 Stadio di ingresso dell'amplificatore comprensivo delle catene di compensazione a modo differenziale (R_{CD} - C_{CD}) e a modo comune (R_{CC} - C_{CC}). La funzione delle capacità C_{ZN} sarà discusso nel paragrafo relativo alla risposta in frequenza.



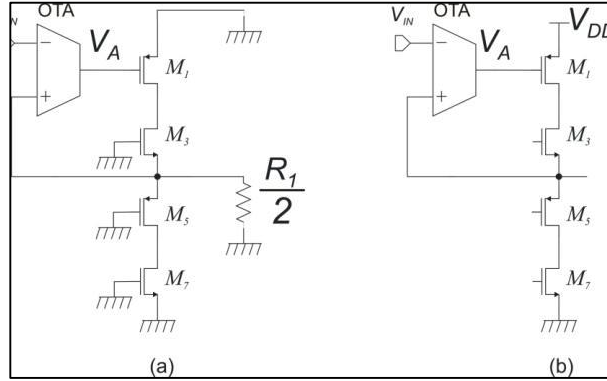
Dall'analisi della topologia del circuito (Figura 4.5) è possibile determinare facilmente che:

- per segnali differenziali scorre corrente nella resistenza R_1 , che avrà quindi un effetto caricante sui due amplificatori di ingresso (ciascuno dei quali composto dalla cascata OTA-M), aumentandone la stabilità;
- per segnali a modo comune, non scorre corrente nella resistenza R_1 , così che il suo effetto caricante venga meno; per segnali a modo comune sarà quindi necessario applicare una compensazione maggiore.

Al fine di non sovra-compensare la risposta a modo differenziale, riducendo inutilmente la banda del sistema, sono state introdotte due catene di compensazione (si veda la Figura 4.12), realizzate utilizzando la nota tecnica di

compensazione di Miller. La prima catena ($R_{CD}-C_{CD}$), applicata fra l'ingresso e l'uscita dei transistor source-comune, garantisce la stabilità a modo differenziale e compensa parzialmente la risposta a modo comune. La seconda catena ($R_{CC}-C_{CC}$), agisce solo a modo comune, e fornisce la quota di compensazione mancante.

Figura 4.13 Circuito equivalente dello stadio di ingresso (solo metà circuito è disegnata) per segnali di ingresso a modo differenziale (a) e a modo comune (b).



Considerando la cascata di ciascun gruppo OTA-M come un amplificatore ad alto guadagno, simile ad un amplificatore operazionale [14], si possono ricavare facilmente i seguenti parametri:

- guadagno in continua ad anello aperto

$$A_0 = G_{M1} R_{OUT1} G_{M2} R_{OUT2}$$
- polo dominante

$$\omega_{P1} = \frac{1}{R_{OUT1} \cdot (C_1 + (1 + G_{M2} R_{OUT2}) C_{CD})}$$
- primo polo secondario

$$\omega_{P2} \cong \frac{G_{M2}}{C_2}$$
- pulsazione per guadagno unitario

$$\omega_0 = A_0 \omega_{P1} \cong \frac{G_{M1}}{C_{CD}}$$

dove G_{Mi} , R_{OUTi} , C_i , identificano rispettivamente la transconduttanza, la resistenza di uscita e la capacità di uscita dello stadio i-esimo.

Poiché il margine di fase, per la stabilità, dipende dal rapporto tra ω_{P2} e ω_0 , valori più alti di C_{CD} garantiscono una maggior stabilità. Ma, come atteso, all'aumentare di C_{CD} diminuisce la frequenza del polo dominante, portando a un decremento della banda.

4.2.3.1 Modo differenziale

Per stimoli di ingresso a modo differenziale, la resistenza di uscita dello stadio a source comune è ridotta dal parallelo con la resistenza $R_1/2$:

$$R'_{OUT2} = R_{OUT2} // \frac{R_1}{2} \cong \frac{R_1}{2} \quad (4-4)$$

considerando $R_1 \ll R_{OUT2}$.

In conseguenza, il guadagno del sistema viene diminuito, mentre aumenta il valore del polo dominante:

$$A'_0 = A_0 \cdot \frac{R_1}{2R_{OUT2}} \quad (4-5)$$

$$\omega'_{P1} = \frac{1}{R_{OUT1} \cdot \left(C_1 + \left(1 + G_{M2} \frac{R_1}{2} \right) C_{CD} \right)} \quad (4-6)$$

La pulsazione di guadagno unitario diventa quindi:

$$\omega'_0 = A'_0 \cdot \omega'_{P1} \cong \frac{G_{M1}}{C_{CD}} \cdot \frac{G_{M2} \frac{R_1}{2}}{1 + G_{M2} \frac{R_1}{2}} \quad (4-7)$$

nel caso in cui valga la condizione $G_{M2}R_1 \gg 1$ la pulsazione di guadagno unitario non è influenzata dalla presenza di R_1 . In caso contrario, l'effetto caricante di R_1 diminuisce il valore di ω_0 , consentendo di ottenere lo stesso margine di fase, con una C_{CD} più piccola (al costo di una banda leggermente inferiore).

4.2.3.2 Modo comune

Per segnali a modo comune non è presente l'effetto caricante della resistenza R_1 (Figura 4.13). In conseguenza, la sola capacità C_{CD} , dimensionata tenendo conto della presenza di R_1 , non è sufficiente a garantire la stabilità. È quindi necessario introdurre una rete di compensazione aggiuntiva. Il risultato è stato ottenuto dividendo la resistenza R_1 in due resistenze in serie di valore $R_1/2$ e applicando un percorso di compensazione R_{CC} - C_{CD} aggiuntivo fra il punto centrale delle resistenze e i gate dei transistor M_1 - M_2 . Come desiderabile, questa seconda rete di compensazione non influenza la risposta di modo differenziale, poiché il punto centrale delle resistenze può essere considerato a massa alle variazioni.

4.2.4 Risposta in frequenza

L'amplificatore da strumentazione opera la modulazione delle correnti di replica prima che le stesse agiscano sulla resistenza di uscita R_2 . Inoltre, l'informazione utile sulla resistenza R_2 è la tensione in DC. Di conseguenza la funzione di trasferimento fra la tensione differenziale di uscita e la tensione differenziale in ingresso all'amplificatore non è di alcun interesse.

La vera funzione di trasferimento di interesse è la funzione di trasferimento fra le correnti di replica, che scorrono in M_{1R} e M_{2R} , rispetto alla tensione differenziale di ingresso. Assumendo poi, che in virtù dell'utilizzo degli stadi cascode, gli effetti del secondo ordine possano essere trascurati, si può considerare che per piccoli segnali valga effettivamente la piena corrispondenza fra I_{D1R} , I_{D2R} e I_{D1} , I_{D2} .

La risposta in frequenza dell'amplificatore può quindi essere convenientemente determinata investigando la funzione di trasferimento di piccolo segnale fra le correnti I_{D1} , I_{D2} e la tensione differenziale di ingresso.

Inoltre, considerando che il circuito abbia un comportamento antisimmetrico rispetto alle variazioni a modo differenziale, l'analisi può essere effettuata utilizzando lo schema equivalente di Figura 4.14.

C_P rappresenta il contributo di tutte le capacità parassite sul nodo V_{SP} , mentre r_0 rappresenta la resistenza di uscita del generatore di bias I_0 . Il passaggio dal circuito (a) al circuito (b) è effettuato considerando che, in virtù dell'amplificazione introdotta dallo stadio a source-comune, la tensione V_{DP} subisca variazioni molto minori di V_{SP} .

Supponendo trascurabile R_{CD} rispetto a C_{CD} , la funzione di trasferimento nel dominio della frequenza tra la corrente di piccolo segnale in M_1 , e la tensione di piccolo segnale di ingresso v_i è descritta da ($C_T = C_{CD} + C_P$):

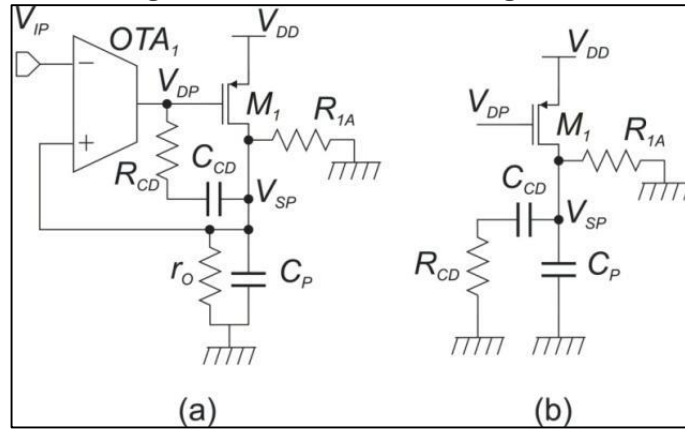
$$\frac{i_{D1}}{v_i} = \frac{i_{D1}}{v_{SP}} \cdot \frac{v_{SP}}{v_i} \cong \frac{1 + j2\pi f \cdot \frac{R_1}{2} \cdot C_T}{\frac{R_1}{2}} \cdot 1 \quad (4-8)$$

considerando che, in virtù della configurazione a buffer del gruppo OTA+ M_1 , la tensione v_{SP} coincida con la tensione di ingresso.

Come da aspettarsi, per frequenze piccole, la funzione di trasferimento dipende solo da R_1 , ed è pari proprio a $2/R_1$. All'aumentare della frequenza però,

aumenta la quota di corrente che scorre nella capacità di compensazione e nelle capacità parassite, di conseguenza la corrente differenziale aumenta. Questa componente aggiuntiva di corrente non può essere compensata introducendo una capacità analoga a C_{CD} nello stadio di replica, a causa della presenza del modulatore fra i transistor M_{1R} (M_{2R}) e la resistenza di uscita R_2 .

Figura 4.14 Circuito di piccolo segnale utilizzato per investigare la risposta in frequenza dell'amplificatore, come funzione di trasferimento fra la corrente di piccolo segnale in M_1 (M_2) e la tensione di ingresso differenziale. Nel disegno, $R_{1A}=R_1/2$.



Il problema è stato risolto dimensionando opportunamente la pulsazione di guadagno unitario del gruppo OTA+ M_1 . Infatti, sostituendo nella (5.8) l'effettiva espressione della funzione di trasferimento²⁰ tra la tensione v_{SP} e la tensione v_i :

$$\frac{i_{D1}}{v_i} = \frac{i_{D1}}{v_{SP}} \cdot \frac{v_{SP}}{v_i} \cong \frac{1+j2\pi f \cdot \frac{R_1}{2} \cdot C_T}{\frac{R_1}{2}} \cdot \frac{1}{1+j \cdot \frac{f}{f_0}} \quad (4-9)$$

Lo zero introdotto dalla componente i_{D1}/v_{SP} è stato compensato dimensionando opportunamente f_0 , attraverso le capacità C_{ZN} visibili in Figura 4.12, connesse fra il gate del transistor M_1 (M_2) e massa.

Si noti che non sarebbe stato possibile effettuare il *tuning* di f_0 agendo direttamente sulla capacità di compensazione C_{CD} , perché C_{CD} influisce contemporaneamente su f_0 e su C_T . Le capacità C_{ZN} invece, essendo connesse al gate del transistor M_1 (M_2) riducono la frequenza del polo dominante del buffer senza alterare il valore della capacità C_T .

²⁰ Si considera che fino alla pulsazione di guadagno unitario la funzione di trasferimento sia a polo dominante.

4.3 Bibliografia

- [1] Federico Butti, Paolo Bruschi, Michele Dei, and Massimo Piotta, "A compact instrumentation amplifier for MEMS thermal sensor interfacing," *Analog Integrated Circuits and Signal Processing*, vol. 72, no. 3, pp. 585-594, 2012.
- [2] Arun Manickam, Aaron Chevalier, Mark McDermott, Andrew D Ellington, and Arjang Hassibi, "A CMOS electrochemical impedance spectroscopy (EIS) biosensor array," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 4, no. 6, pp. 379-390, 2010.
- [3] Chonlatid Sontimuang, Roongnapa Suedee, and Franz Dickert, "Interdigitated capacitive biosensor based on molecularly imprinted polymer for rapid detection of Hev b1 latex allergen," *Analytical biochemistry*, vol. 410, no. 2, pp. 224-233, 2011.
- [4] Bernard J Van Den Dool and Johan H Huijsing, "Indirect current feedback instrumentation amplifier with a common-mode input range that includes the negative rail," *Solid-State Circuits, IEEE Journal of*, vol. 28, no. 7, pp. 743-749, 1993.
- [5] Rong Wu, Johan H Huijsing, and Kofi AA Makinwa, "A current-feedback instrumentation amplifier with a gain error reduction loop and 0.06% untrimmed gain error," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 12, pp. 2794-2806, 2011.
- [6] Fabio Sebastiano, Federico Butti, Robert van Veldhoven, and Paolo Bruschi, "17.5 A 0.07 mm² 2-channel instrumentation amplifier with 0.1% gain matching in 0.16 μ m CMOS," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, 2014, pp. 294-295.
- [7] Michiel AP Pertijs and Wilko J Kindt, "A 140 dB-CMRR current-feedback instrumentation amplifier employing ping-pong auto-zeroing and chopping," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 10, pp. 2044-2056, 2010.
- [8] Qinwen Fan, Fabio Sebastiano, Johan H Huijsing, and Kofi AA Makinwa, "A 1.8 W 60 nV Hz Capacitively-Coupled Chopper Instrumentation

Amplifier in 65 nm CMOS for Wireless Sensor Nodes," Solid-State Circuits, IEEE Journal of, vol. 46, no. 7, pp. 1534-1543, 2011.

- [9] F Del Cesta, AN Longhitano, P Bruschi, and R Simmarano, "A wide input range instrumentation amplifier for impedance spectroscopy applications," in Ph. D. Research in Microelectronics and Electronics (PRIME), 2013 9th Conference on, 2013, pp. 65-68.
- [10] P Bruschi, F Del Cesta, AN Longhitano, M Piotto, and R Simmarano, "A very compact CMOS instrumentation amplifier with nearly rail-to-rail input common mode range," in European Solid State Circuits Conference (ESSCIRC), ESSCIRC 2014-40th, 2014, pp. 323-326.
- [11] David A Johns and Ken Martin, Analog integrated circuit design.: John Wiley & Sons, 2008.
- [12] H Krabbe, "A high-performance monolithic instrumentation amplifier," in Solid-State Circuits Conference. Digest of Technical Papers. 1971 IEEE International, vol. 14, 1971, pp. 186-187.
- [13] R Jacob Baker, CMOS: circuit design, layout, and simulation.: John Wiley & Sons, 2011, vol. 18.
- [14] Phillip E Allen and Douglas R Holberg, CMOS analog circuit design.: Oxford Univ. Press, 2002.
- [15] Christian C Enz and Gabor C Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," Proceedings of the IEEE, vol. 84, no. 11, pp. 1584-1614, 1996.

5 La rete digitale

In questo capitolo verrà presentata la struttura della rete digitale del sistema. All'interno della rete sono implementate le interfacce per la comunicazione con dispositivi esterni, il sistema di controllo del front-end analogico, la logica per la conversione analogico-digitale e i registri di configurazione di tutti gli elementi programmabili (stato dei mux, guadagni degli amplificatori, abilitazioni dei circuiti, etc.). La sintesi della rete complessiva è stata implementata dal INFN di Cagliari, utilizzando standard-cells Faraday. La rete di controllo del front-end analogico è stata sviluppata in codice VHDL come parte del progetto di tesi.

5.1 Organizzazione logica

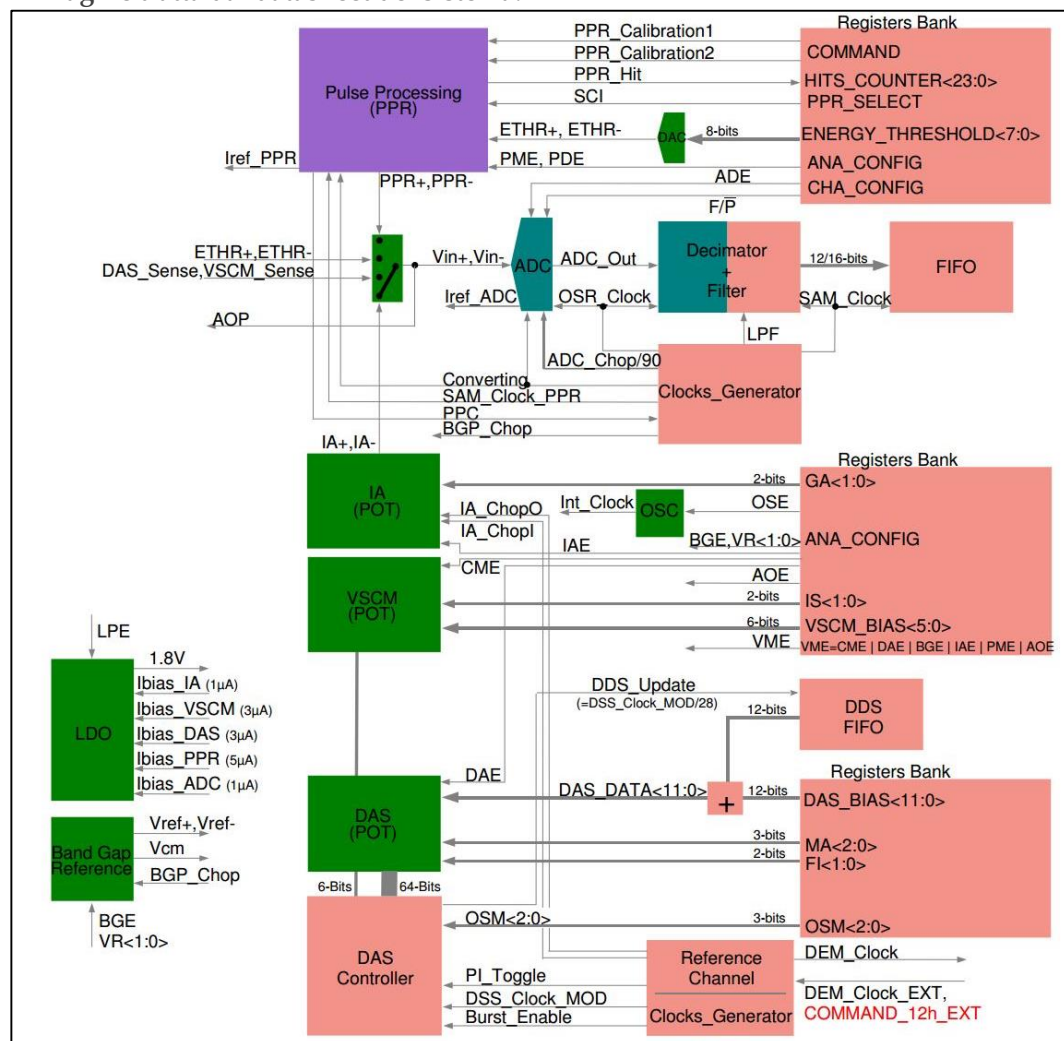
La rete digitale si compone di 6 blocchi costituenti fondamentali:

- **interfaccia di comunicazione:** consente di programmare il chip tramite un dispositivo esterno, con interfaccia SPI, I²C o tramite un originale protocollo proprietario sviluppato per il progetto;
- **la rete di generazione dei segnali di clock**, che crea tutti i riferimenti temporali necessari ai vari circuiti, partendo dal clock di riferimento (che può essere esterno o interno, generato da uno dei due oscillatori presenti su chip); tra i vari segnali prodotti vi sono: il clock per il controllo del DSG e del VSCM, il clock per la generazione dei segnali di modulazione/demodulazione, il clock per il convertitore A/D;

- **i registri di configurazione:** consentono di programmare il chip per le varie tipologie di applicazione; alcuni esempi di parametri configurabili sono: ampiezza e frequenza della sinusoide, guadagno dell'amplificatore da strumentazione;
- **la logica di controllo della rete di stimolo:** genera i segnali per il controllo degli switch per la creazione del segnale sinusoidale e della tensione continua di uscita;
- **controllo del canale di lettura:** genera i segnali per la modulazione e la demodulazione del segnale letto dall'IA;
- **il filtro CIC per il convertitore A/D Σ - Δ .**

La logica di controllo della rete di stimolo e il controllo del canale di lettura, implementate all'interno del progetto di tesi, saranno descritte nel seguito.

Figura 5.1 Schema del chip. I blocchi in rosa sono tutti riferiti alla rete digitale. Immagine tratta dal datasheet del sistema.



5.2 Controllo del front-end analogico

La rete di controllo del front-end analogico produce i segnali che pilotano gli switch del DSG e del VSCM nelle varie fasi del ciclo di conversione e genera i segnali per la modulazione del segnale letto dall'amplificatore da strumentazione. Nel paragrafo 3.6 all'interno del capitolo 3 è già stato descritto l'approccio per la generazione dei campioni della sinusoide e per la regolazione della tensione continua di uscita. In questo paragrafo invece, sarà descritto il funzionamento della rete di controllo del canale di lettura.

Con riferimento alla Figura 5.2, che descrive l'utilizzo del sistema per misure di impedenza, il DUT (Z_X nell'immagine) è connesso fra il DSG e il VSCM, in modo che ai suoi capi insista una tensione:

$$V_{Z_X} = V_{DSG} - V_{VSCM} = (V_{DSG_{DC}} - V_{VSCM}) + V_{SIN} \quad (5-1)$$

Ai capi del dispositivo può quindi essere applicata una tensione continua di bias, a cui è sovrapposto il segnale sinusoidale. Come descritto nel paragrafo 3.7, la corrente che scorre nel sensore viene convertita in tensione dal VSCM in accordo alla relazione:

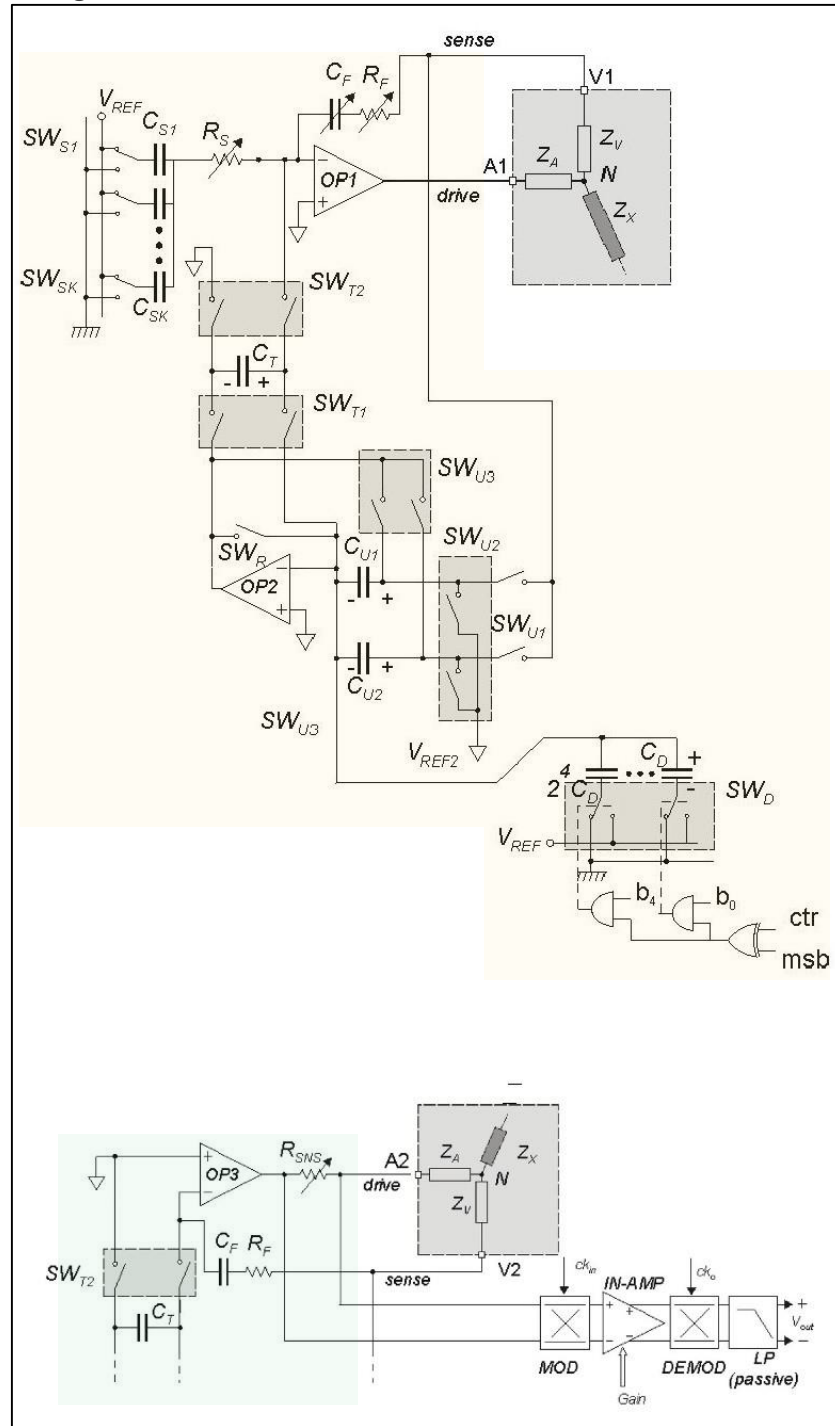
$$V_{IN_{IA}} = V_{SNS} = R_{SNS} \cdot I_{Z_X} = \frac{R_{SNS}}{Z_X} \cdot V_{Z_X} \quad (5-2)$$

La tensione V_{SNS} viene poi amplificata e demodulata dall'amplificatore da strumentazione.

La corretta estrazione delle componenti in fase e in quadratura del segnale di corrente che scorre nel DUT richiede che sia nota la relazione di fase fra il segnale di stimolo V_{SIN} e i segnali di demodulazione.

Il risultato è stato ottenuto implementando un segnale di trigger che sincronizzi la rete di generazione dei segnali di demodulazione rispetto alla rete di generazione del segnale sinusoidale.

Figura 5.2 Configurazione del front-end analogico per la lettura di una impedenza incognita Z_X . In giallo è evidenziato il DSG, mentre il verde è evidenziato il VSCM.



5.2.1 La rete di demodulazione

La rete di demodulazione produce i segnali che pilotano gli switch del modulatore di uscita dell'amplificatore da strumentazione (si veda la Figura 4.10).

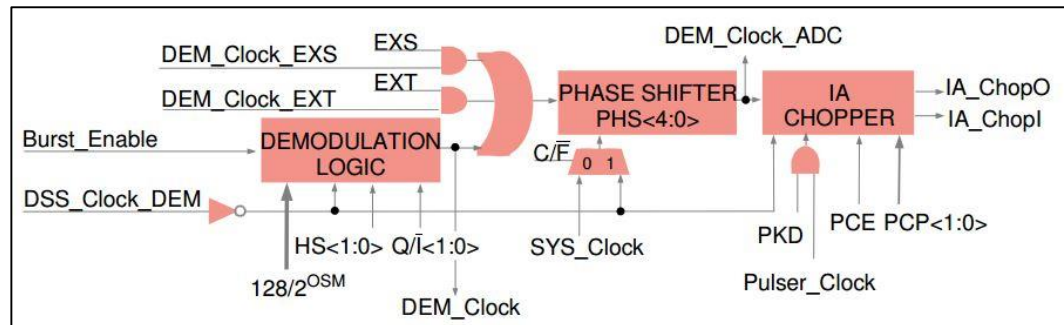
Al fine massimizzare la versatilità del sistema, l'interfaccia di demodulazione è stata effettuata in accordo allo schema raffigurato in Figura 5.3.

Il segnale di demodulazione vero e proprio è generato all'interno del blocco *demodulation_logic*, partendo dal clock di demodulazione *DSS_clock_DEM*, il quale può essere o sincrono con il clock utilizzato per la generazione della sinusoide, o 3 volte più veloce, al fine di implementare anche la demodulazione in terza armonica. In funzione dei bit di configurazione *QI* e *HS*, è possibile effettuare demodulazione in prima/seconda/terza armonica ed estrarre le componenti con relazione di fase pari a 0°, 90°, 180° e 270°.

Il blocco *phase_shifter* consente di impostare uno sfasamento programmabile del segnale di demodulazione digitale, al fine di compensare eventuali ritardi fra la sinusoide "digitale" e la sinusoide "analogica".

L'ultimo blocco, *ia_chopper* consente di impostare opzionalmente una modulazione chopper sovrapposta alla demodulazione, come descritto nel paragrafo 4.2.2.

Figura 5.3 Schema a blocchi della rete digitale per la generazione dei segnali di demodulazione.



La demodulazione può essere implementata facilmente alla luce delle seguenti considerazioni:

- il periodo della sinusoide è dato da:

$$T_{SIN} = DSS_{CLOCK_{MOD}} \cdot 2^{OSM}$$
dove $DSS_{CLOCK_{MOD}}$ è il clock usato dalla rete di generazione e OSM è il codice identificativo del numero di campioni (da 1 a 7);
- in caso di demodulazione in prima armonica il periodo di del segnale di modulazione deve essere:

$T_{DEM0D_1} = T_{SIN} = k_1 \cdot DSS_{CLOCK_{DEM}}$; dove $DSS_{CLOCK_{DEM}}$ è il clock usato dalla rete modulazione e k_1 identifica il numero di ripetizioni del clock richieste;

- in caso di demodulazione in prima armonica il periodo di del segnale di modulazione deve essere:

$T_{DEM0D_2} = \frac{T_{SIN}}{2} = k_2 \cdot DSS_{CLOCK_{DEM}}$; dove $DSS_{CLOCK_{DEM}}$ è il clock usato dalla rete modulazione e k_2 identifica il numero di ripetizioni del clock richieste;

- in caso di demodulazione in terza armonica il periodo di del segnale di modulazione deve essere:

$T_{DEM0D_2} = \frac{T_{SIN}}{3} = k_3 \cdot DSS_{CLOCK_{DEM}}$; dove $DSS_{CLOCK_{DEM}}$ è il clock usato dalla rete modulazione e k_3 identifica il numero di ripetizioni del clock richieste;

- al fine di poter produrre segnali di demodulazione, sia in prima che in seconda armonica sfasati di 90° e 270° rispetto al segnale sinusoidale, bisogna che si possano generare segnali di demodulazione con sfasamento di $T_{SIN}/8$ fra loro;
- nel caso di demodulazione in prima e seconda armonica, $DSS_{CLOCK_{DEM}} = DSS_{CLOCK_{MOD}}$, mentre nel caso di demodulazione in terza armonica $DSS_{CLOCK_{DEM}} = DSS_{CLOCK_{MOD}}/3$.

Dalle considerazioni sopra si ottiene che:

$$\begin{aligned} k_1 &= k_3 = 2^{OSM} \\ k_2 &= 2^{OSM-1} \\ k &= \frac{T_{SIN}}{8 \cdot DSS_{CLOCK_{MOD}}} = 2^{OSM-3} \end{aligned} \quad (5-3)$$

L'equazione (6.3) mostra come il modo più conveniente per implementare la logica di demodulazione sia tramite un contatore modulo 8 (*demod_counter*)²¹, in cui ad ogni valore di uscita corrisponde un valore logico 1, 0 del segnale di demodulazione. Il valore logico da assegnare ad ogni valore di uscita dipende dal tipo di demodulazione richiesta in termini di armonica e in termini di fase. In accordo alla (6.3), il contatore deve essere aggiornato ogni k fronti di $DSS_{CLOCK_{DEM}}$.

La sincronizzazione di fase fra la sinusoide "digitale" e il segnale di demodulazione può essere conveniente effettuata imponendo che il contatore

²¹ Sono necessari almeno 8 campioni per la sinusoide.

demod_counter assuma valore 0 in corrispondenza del valore 32 del contatore *samples_counter* (si veda il paragrafo 3.6.1).

Figura 5.4 Nella tabella sono riportati i livelli logici che deve assumere il segnale di demodulazione, al variare dello sfasamento richiesto, per demodulazione in prima armonica.

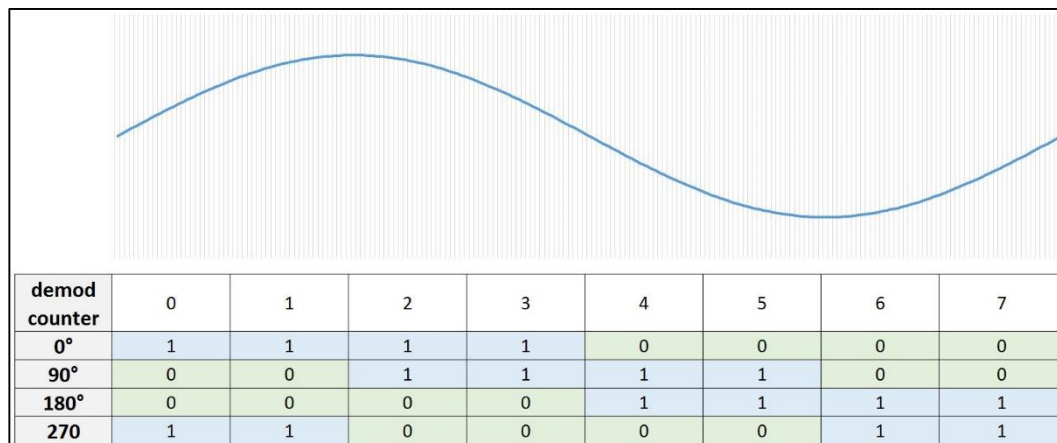
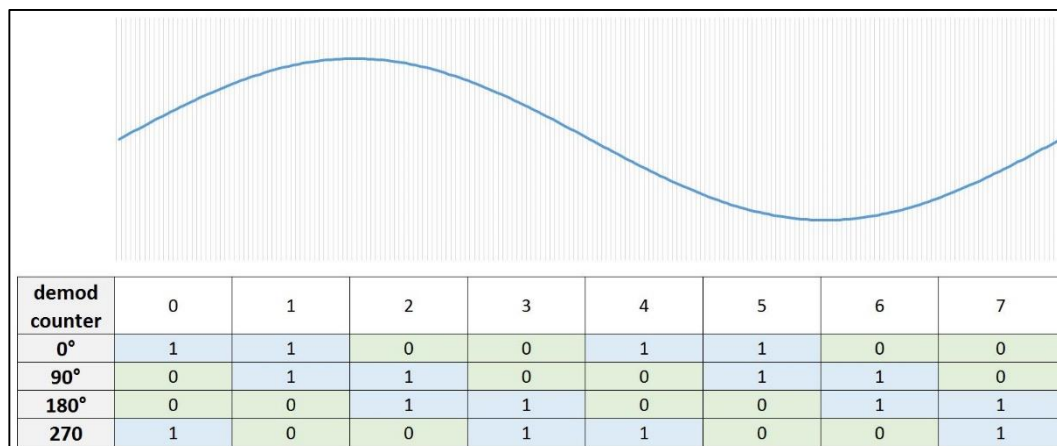


Figura 5.5 Nella tabella sono riportati i livelli logici che deve assumere il segnale di demodulazione, al variare dello sfasamento richiesto, per demodulazione in seconda armonica.



Nell'implementazione effettiva della rete di demodulazione è stato in realtà introdotto un ritardo sistematico di mezzo periodo di $DSS_{CLOCKMOD}$ fra il segnale di demodulazione e il segnale della sinusoide "digitale", per compensare lo sfasamento sistematico di mezzo periodo di $DSS_{CLOCKMOD}$ della sinusoide analogica, effetto del campionamento.

Tabella 5-1 Codice VHDL per il contatore della rete di demodulazione, *demod_counter*.

```
-- Generazione attesa di demodulazione
demod_wait_generator:
process (DSS_Clock_DEM, RESET)
begin
    if (RESET = '0') then
        demod_wait_counter_out <= "0000";
    else
        if (rising_edge(DSS_Clock_DEM)) then
            if (HS = "00") then
                demod_wait_counter_out <= "0000";
            else
                if ((demod_wait_counter_out < demod_wait_time) and (demod_wait_time /= "0000")) then
                    if (BURST_EN = '1') then
                        if (samples_counter_out = "0100000" and SIN_Clock_signal = '0') then
                            demod_wait_counter_out <= "0000";
                        else
                            demod_wait_counter_out <= demod_wait_counter_out + '1';
                        end if;
                    else
                        demod_wait_counter_out <= demod_wait_counter_out + '1';
                    end if;
                else
                    demod_wait_counter_out <= "0000";
                end if;
            end if;
        end if;
    end process demod_wait_generator;

-- Contatore per la macchina di demodulazione
demod_counter:
process (DSS_Clock_DEM, RESET)
begin
    if (RESET = '0') then
        demod_counter_out <= "000";
    else
        if (rising_edge(DSS_Clock_DEM)) then
            if (HS = "00" or OSM < "010") then
                demod_counter_out <= "000";
            else
                if (demod_wait_counter_out = demod_wait_time) then
                    if (BURST_EN = '1') then
                        if (samples_counter_out = "0100000" and SIN_Clock_signal = '0') then
                            demod_counter_out <= "000";
                        else
                            demod_counter_out <= demod_counter_out + '1';
                        end if;
                    else
                        demod_counter_out <= demod_counter_out + '1';
                    end if;
                else
                    demod_counter_out <= demod_counter_out;
                end if;
            end if;
        end if;
    end process demod_counter;
```

Tabella 5-2 Codice VHDL per la generazione dei segnali per i modulatori chopper.

```
-- assegnazione segnali di chop
IA_ChopI_signal <=
    chop_scaler_counter_out(2) when chop_set_signal = "111" else
    chop_scaler_counter_out(1) when chop_set_signal = "110" else
    chop_scaler_counter_out(0) when chop_set_signal = "101" else
    BG_Clock when chop_set_signal = "100" else
    '1';

-- generazione del segnale di chop di uscita
IA_ChopO_signal <= IA_ChopI_signal when Ochop_set_signal = "0100" else
    (dem_clock_adc_signal xor IA_ChopI_signal) when Ochop_set_signal = "0101" else
    (dem_clock_adc_signal xor IA_ChopI_signal) when Ochop_set_signal = "0110" else
    (dem_clock_adc_signal xor IA_ChopI_signal) when Ochop_set_signal = "0111" else
    dem_clock_adc_signal when Ochop_set_signal = "0001" else
    dem_clock_adc_signal when Ochop_set_signal = "0010" else
    dem_clock_adc_signal when Ochop_set_signal = "0011" else
    (dem_clock_adc_signal xor IA_ChopI_signal xor Pulser_Clock) when Ochop_set_signal = "1101" else
    (dem_clock_adc_signal xor IA_ChopI_signal xor Pulser_Clock) when Ochop_set_signal = "1110" else
    (dem_clock_adc_signal xor IA_ChopI_signal xor Pulser_Clock) when Ochop_set_signal = "1111" else
    (dem_clock_adc_signal xor Pulser_Clock) when Ochop_set_signal = "1001" else
    (dem_clock_adc_signal xor Pulser_Clock) when Ochop_set_signal = "1010" else
    (dem_clock_adc_signal xor Pulser_Clock) when Ochop_set_signal = "1011" else
    (IA_ChopI_signal xor Pulser_Clock) when Ochop_set_signal = "1100" else
    Pulser_Clock when Ochop_set_signal = "1000" else
    '1';
```

Tabella 5-3 Codice VHDL per la generazione del segnale di demodulazione in funzione del valore di uscita del contatore *demod_counter*.

```
-- Generazione segnale di demodulazione
demod_signal_generator:
process (DSS_Clock_DEM, RESET)
begin
    if (RESET = '0') then
        dem_clock_signal <= '0';
        s1 <= '1';
        s2 <= '1';
        s3 <= '1';
        s4 <= '0';
        s5 <= '0';
        s6 <= '0';
        s7 <= '0';
    else
        if (falling_edge(DSS_Clock_DEM)) then
            if (HS = "00") then
                dem_clock_signal <= '0';
            else
                if (OSM < "011") then
                    dem_clock_signal <= SIN_Clock_signal;
                else
                    if (demod_counter_out = "001") then
                        dem_clock_signal <= s1;
                        s1 <= s1;
                        s2 <= s2;
                        s3 <= s3;
                        s4 <= s4;
                        s5 <= s5;
                        s6 <= s6;
                        s7 <= s7;
                    elsif (demod_counter_out = "010") then
                        dem_clock_signal <= s2;
                        s1 <= s1;
                        s2 <= s2;
                        s3 <= s3;
                        s4 <= s4;
                        s5 <= s5;
                        s6 <= s6;
                        s7 <= s7;
                    elsif (demod_counter_out = "011") then
                        dem_clock_signal <= s3;
                        s1 <= s1;
                        s2 <= s2;
                        s3 <= s3;
                        s4 <= s4;
                        s5 <= s5;
                        s6 <= s6;
                        s7 <= s7;
                    elsif (demod_counter_out = "100") then
                        dem_clock_signal <= s4;
                        s1 <= s1;
                        s2 <= s2;
                        s3 <= s3;
                        s4 <= s4;
                        s5 <= s5;
                        s6 <= s6;
                        s7 <= s7;
                    elsif (demod_counter_out = "101") then
                        dem_clock_signal <= s5;
                        s1 <= s1;
                        s2 <= s2;
                        s3 <= s3;
                        s4 <= s4;
                        s5 <= s5;
                        s6 <= s6;
                        s7 <= s7;
                    end if;
                end if;
            end if;
        end if;
    end if;
end process;
```



```

elsif (demod_counter_out = "110") then
    dem_clock_signal <= s6;
    s1 <= s1;
    s2 <= s2;
    s3 <= s3;
    s4 <= s4;
    s5 <= s5;
    s6 <= s6;
    s7 <= s7;
elsif (demod_counter_out = "111") then
    dem_clock_signal <= s7;
    s1 <= s1;
    s2 <= s2;
    s3 <= s3;
    s4 <= s4;
    s5 <= s5;
    s6 <= s6;
    s7 <= s7;
else
    case demod_code is
        when "101" => -- 90 prima o terza armonica
            dem_clock_signal <= '0';
            s1 <= '0';
            s2 <= '1';
            s3 <= '1';
            s4 <= '1';
            s5 <= '1';
            s6 <= '0';
            s7 <= '0';
        when "110" => -- 180 prima o terza armonica
            dem_clock_signal <= '0';
            s1 <= '0';
            s2 <= '0';
            s3 <= '0';
            s4 <= '1';
            s5 <= '1';
            s6 <= '1';
            s7 <= '1';
        when "111" => -- 270 prima o terza armonica
            dem_clock_signal <= '1';
            s1 <= '1';
            s2 <= '0';
            s3 <= '0';
            s4 <= '0';
            s5 <= '0';
            s6 <= '1';
            s7 <= '1';
        when "000" => -- in fase seconda armonica
            dem_clock_signal <= '1';
            s1 <= '1';
            s2 <= '0';
            s3 <= '0';
            s4 <= '1';
            s5 <= '1';
            s6 <= '0';
            s7 <= '0';
        when "001" => -- 90 seconda armonica
            dem_clock_signal <= '0';
            s1 <= '1';
            s2 <= '1';
            s3 <= '0';
            s4 <= '0';
            s5 <= '1';
            s6 <= '1';
            s7 <= '0';
        when "010" => -- 180 seconda armonica
            dem_clock_signal <= '0';
            s1 <= '0';
            s2 <= '1';
            s3 <= '1';
            s4 <= '0';
            s5 <= '0';
            s6 <= '1';
            s7 <= '1';
    end case;
end if;

```

```

s7 <= '1';
when "011" => -- 270 seconda armonica
    dem_clock_signal <= '1';
    s1 <= '0';
    s2 <= '0';
    s3 <= '1';
    s4 <= '1';
    s5 <= '0';
    s6 <= '0';
    s7 <= '1';
when others => -- 000: in fase prima e terza armonica
    dem_clock_signal <= '1';
    s1 <= '1';
    s2 <= '1';
    s3 <= '1';
    s4 <= '0';
    s5 <= '0';
    s6 <= '0';
    s7 <= '0';
end case;
end if;
end if;
end if;
end if;
end process demod_signal_generator;

```

Tabella 5-4 Codice VHDL per l'implementazione del phase-shifter.

```

-- Shift Register
phase_shift_register:
process (phs_clock_signal, RESET)
begin
    if (RESET = '0') then
        phs_register <= "00000000000000000000000000000000";
    else
        if (rising_edge(phs_clock_signal)) then
            phs_register(0) <= phs_in_signal;
            phs_register(1) <= phs_register(0);
            phs_register(2) <= phs_register(1);
            phs_register(3) <= phs_register(2);
            phs_register(4) <= phs_register(3);
            phs_register(5) <= phs_register(4);
            phs_register(6) <= phs_register(5);
            phs_register(7) <= phs_register(6);
            phs_register(8) <= phs_register(7);
            phs_register(9) <= phs_register(8);
            phs_register(10) <= phs_register(9);
            phs_register(11) <= phs_register(10);
            phs_register(12) <= phs_register(11);
            phs_register(13) <= phs_register(12);
            phs_register(14) <= phs_register(13);
            phs_register(15) <= phs_register(14);
            phs_register(16) <= phs_register(15);
            phs_register(17) <= phs_register(16);
            phs_register(18) <= phs_register(17);
            phs_register(19) <= phs_register(18);
            phs_register(20) <= phs_register(19);
            phs_register(21) <= phs_register(20);
            phs_register(22) <= phs_register(21);
            phs_register(23) <= phs_register(22);
            phs_register(24) <= phs_register(23);
            phs_register(25) <= phs_register(24);
            phs_register(26) <= phs_register(25);
            phs_register(27) <= phs_register(26);
            phs_register(28) <= phs_register(27);
            phs_register(29) <= phs_register(28);
            phs_register(30) <= phs_register(29);
        end if;
    end if;
end process phase_shift_register;

```


6 Simulazioni e misure sperimentali

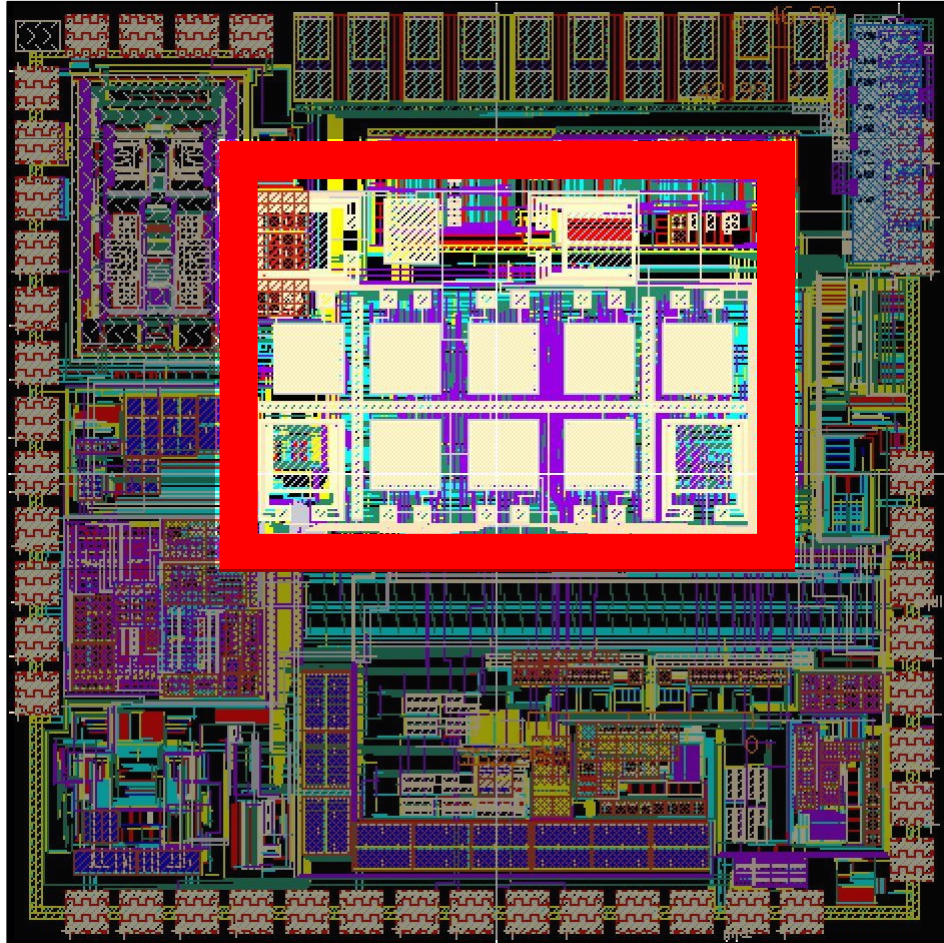
Il sistema è stato sviluppato utilizzando il processo UMC Mixed-Signal/RFCMOS 0,18 μ m. Il layout di tutti i blocchi analogici è stato effettuato manualmente, mentre il layout della rete digitale è stato demandato a tool di routing automatico (Cadence® Encounter). L'integrazione complessiva della rete analogica e della rete digitale è stata effettuata manualmente. Ad oggi sono state prodotte tre release del chip. Nella prima versione sono stati testati i blocchi fondamentali ed è stata verificata la congruenza fra le model del processo e i dispositivi reali. Nella seconda versione sono stati corretti alcuni bug e sono stati finalizzati i blocchi per la generazione dei segnali di stimolo. La terza versione è stata utilizzata per verificare le prestazioni del sistema complessivo, per validare il design dei blocchi e per ottimizzarli rispetto al consumo di potenza (complessivamente circa 900 μ W @1.8V con tutti i circuiti accesi, che scende a circa 80 μ V@1.8V con la sola rete digitale attiva). La quarta versione, attualmente in produzione, servirà per una verifica finale del sistema prima della fase di produzione commerciale.

6.1 Connettività

Il chip è stato dotato di quattro porte, di cui una adatta per applicazioni in cui è richiesta una erogazione di corrente fino a 15 mA. A livello di layout, l'ultimo livello di metal è stato sfruttato per la realizzazione di 12 elettrodi on-chip, così che

l'effettivo numero di sensori interfacciabili per singolo chip sia pari a 17 (4 sensori esterni + 12 sensori top-chip + 1 sensore di temperatura interno).

Figura 6.1 Layout del chip. Le metal rappresentate in bianco nella regione evidenziata dal rettangolo rosso costituiscono gli elettrodi on-chip.



La rete di azione e la rete di generazione possono agire indipendentemente su due sensori differenti. La selezione del sensore avviene attraverso una barriera di mux (Figura 6.2), configurabili attraverso registri dedicati nella rete digitale.

In base alla programmazione dei registri, è possibile effettuare le seguenti configurazioni di connettività:

- connessione del VSCM a una delle 17 porte;
- connessione del DSG a una delle 17 porte;
- connessione dell'amplificatore da strumentazione alla resistenza R_{SNS} (connessa al VSCM) o a una della 17 porte esterne;
- DSG e VSCM in modalità a 2 o a 4 terminali;

Figura 6.4 Simulazione del sistema di generazione della sinusoide per numero di campioni e tensione continua variabili.

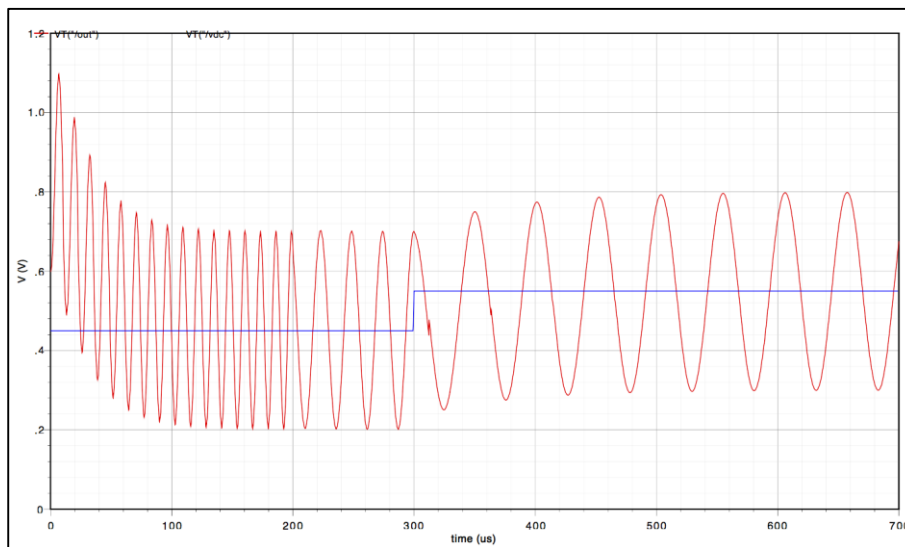


Figura 6.5 Fotografia del segnale sinusoidale (8 campioni) su oscilloscopio.

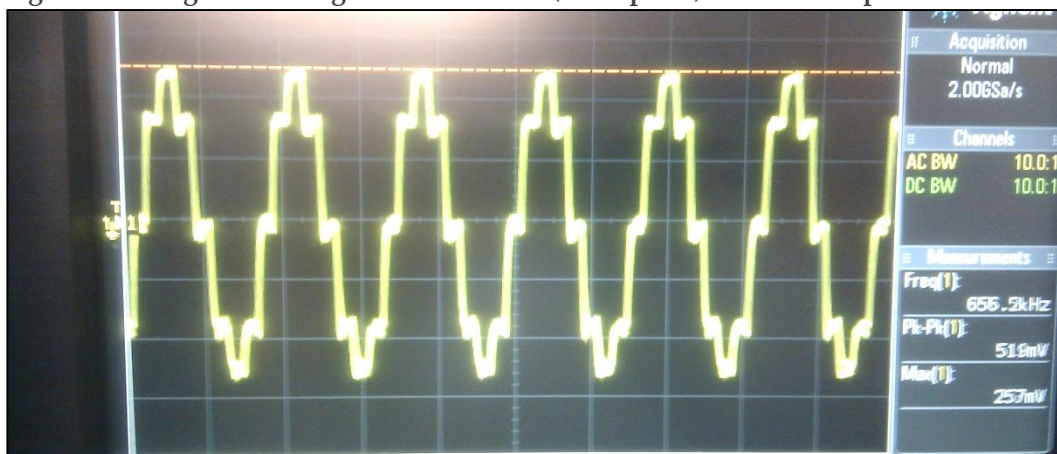


Figura 6.6 Fotografia del segnale sinusoidale (32 campioni) su oscilloscopio.

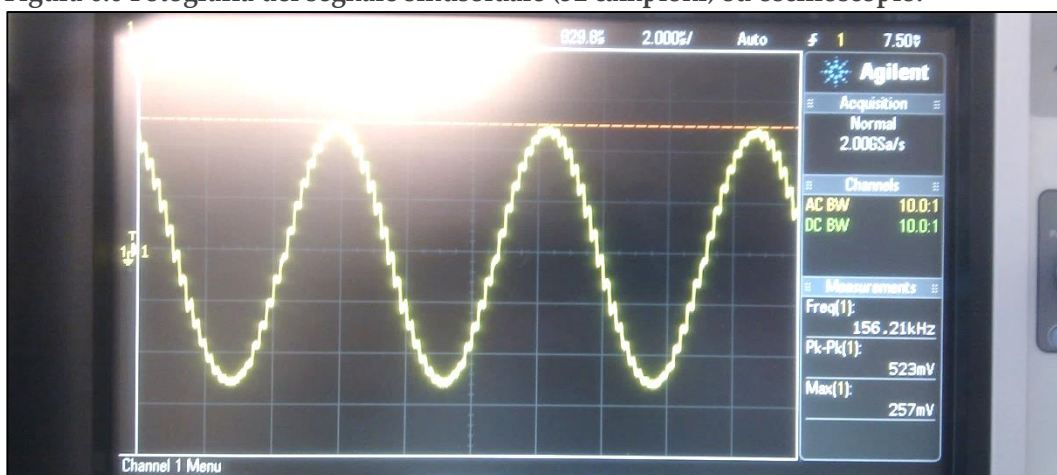
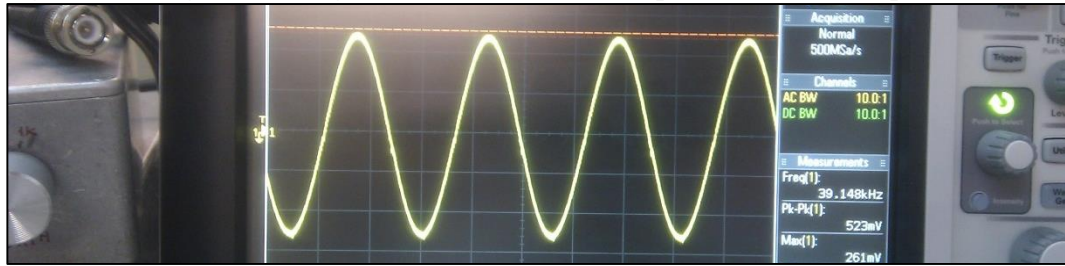


Figura 6.7 Fotografia del segnale sinusoidale (128 campioni) su oscilloscopio.



6.3 Amplificatore da strumentazione

L'amplificatore da strumentazione è stato esaustivamente caratterizzato tramite misure su chip, sia relative al comportamento in DC/AC che alle performance in termini di rumore. Relativamente al dimensionamento dell'amplificatore, la resistenza R_2 è stata impostata al valore di costante di 330 k Ω , mentre la resistenza R_1 può essere variata in 4 differenti valori: 8.25 k Ω , 16.5 k Ω , 33 k Ω e 330 k Ω , equivalenti a un guadagno dell'amplificatore di 40, 20, 2, 1 (questo ultimo caso è utile soprattutto nelle applicazioni di voltammetria, in cui i segnali utili sono di ampiezza elevata).

Il consumo di potenza dell'amplificatore è di 180 μ W@1.8V.

Figura 6.8 Risposta in frequenza (simulata) come funzione di trasferimento fra la corrente che scorre negli stadi di replica e tensione differenziale di ingresso. Si noti come la risposta risulti piatta fino a frequenze di circa 4MHz.

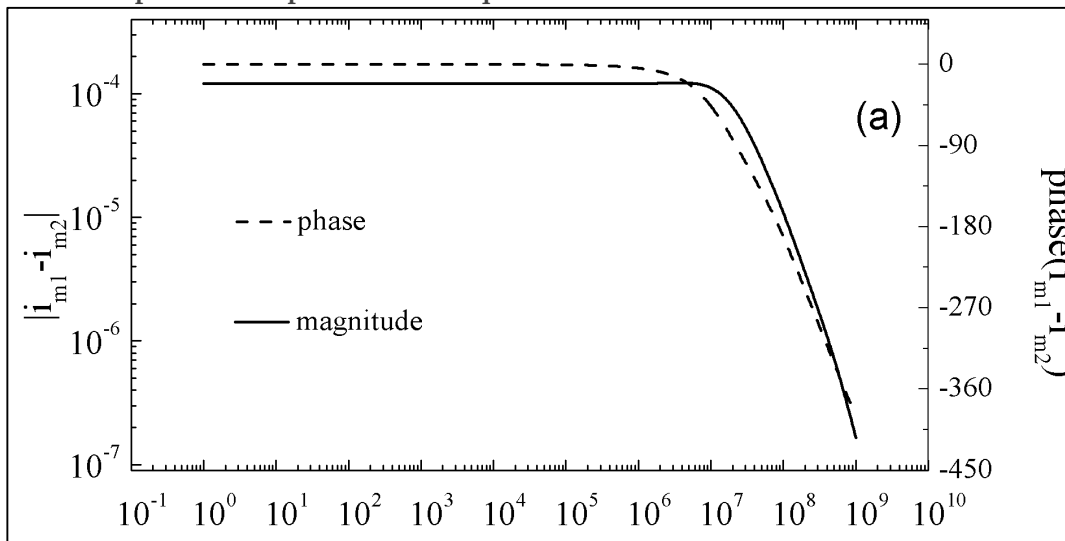


Figura 6.9 Rumore di uscita dell'amplificatore con modulazione chop attiva alla frequenza di circa 50kHz.

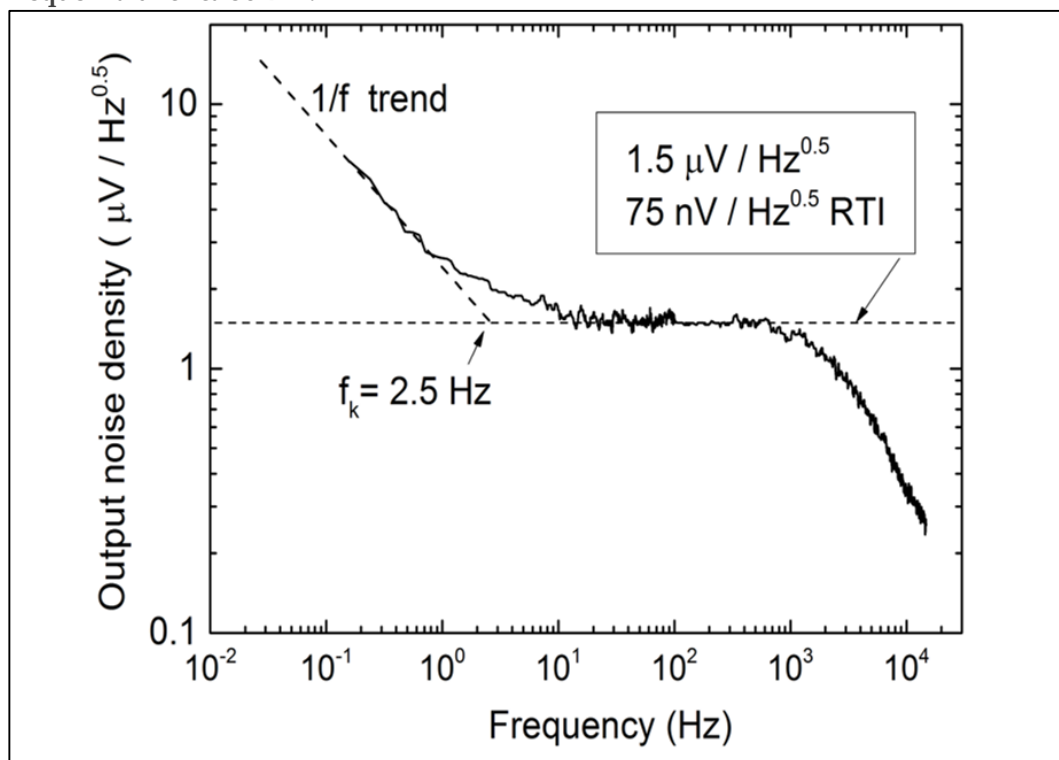


Figura 6.10 Estrazione (simulata) della componente in fase e della componente in quadratura del segnale di uscita per segnale di ingresso sinusoidale in AC con ampiezza di circa 40 mV.

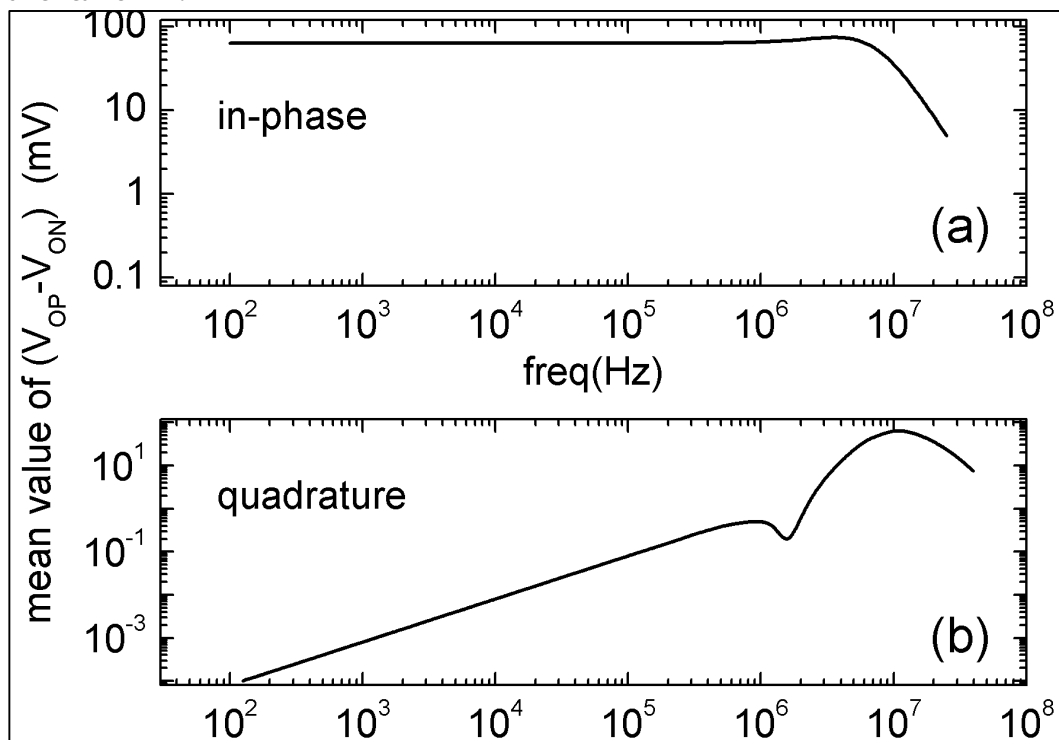


Figura 6.11 Guadagno dell'amplificatore in funzione della frequenza di chop (in Hz). Si noti come per frequenze fino a circa 100kHz non si abbiano sostanziali decrementi del guadagno.

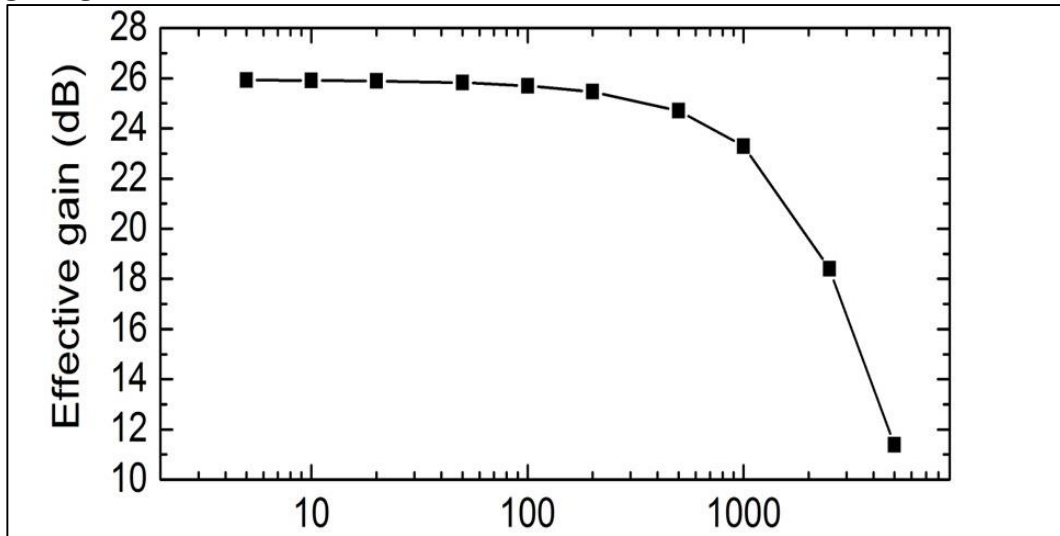
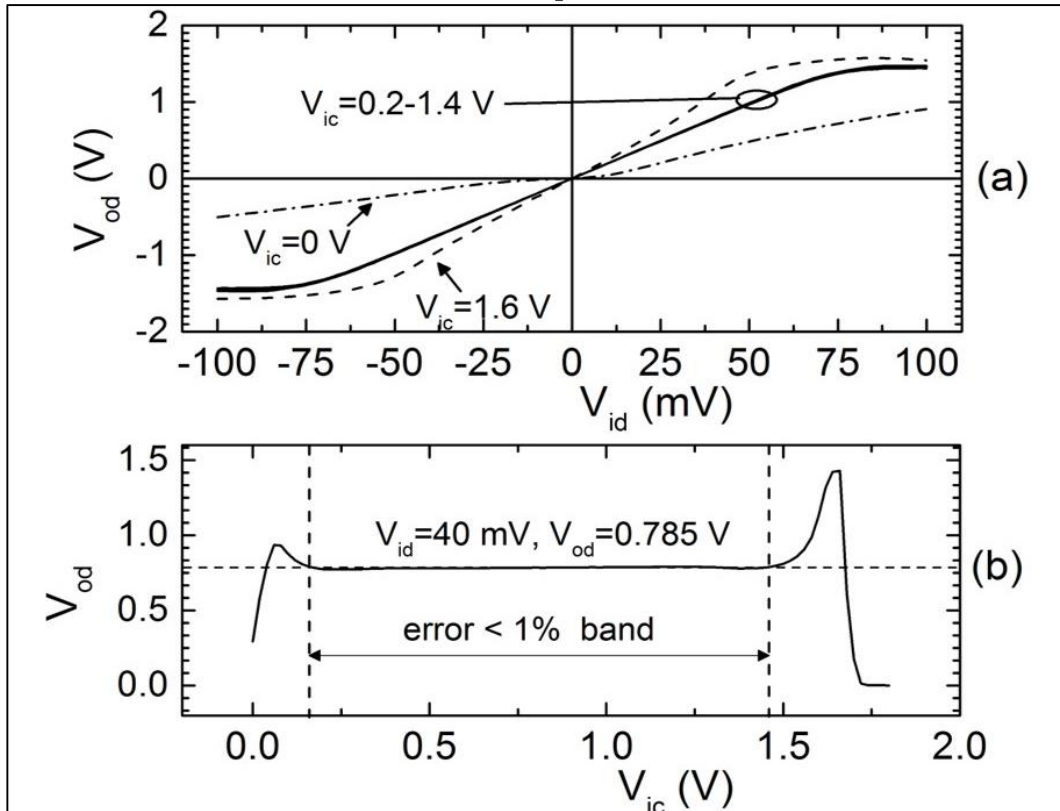


Figura 6.12 Caratteristica di trasferimento differenziale in DC (guadagno 20) per differenti modi comuni di ingresso (a); tensione differenziale di uscita in funzione del modo comune di ingresso per guadagno pari 20 e segnale differenziale di ingresso pari a 40 mV (b). I dati sono stati tratti da misure sperimentali sulla terza release del sistema



6.4 Utilizzo del DSG come DAC

Le misure sperimentali effettuate hanno mostrato prestazioni del DAC in continua del DSG sostanzialmente inferiori a quelle attese. A fronte dei 12 bit di risoluzione attesi, il numero di bit effettivi è risultato pari a 7. Da una analisi del circuito il problema è stato individuato nel meccanismo di precarica delle capacità (si veda il paragrafo 3.4), che è stato poi migliorato nella release numero 4 del sistema. Attualmente la release è stata consegnata alla fonderia e si è in attesa del prototipo per la verifica sperimentale.

Figura 6.13 Tensione di uscita prodotta dal DSG al variare del codice di conversione.

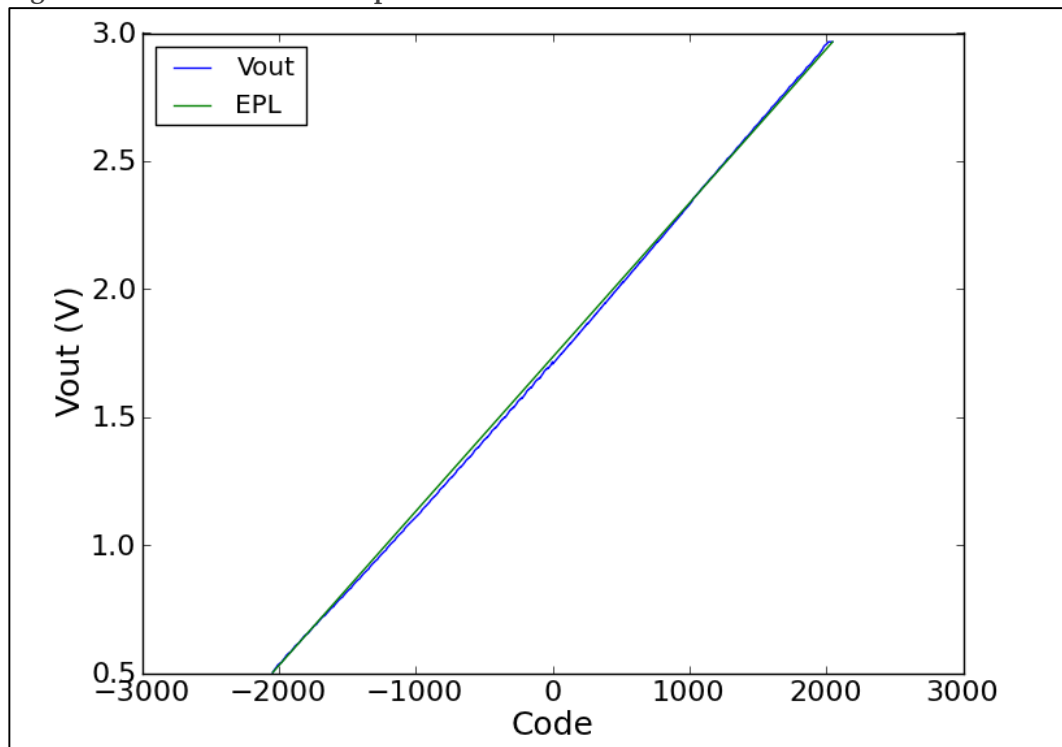


Figura 6.14 Non linearità differenziale.

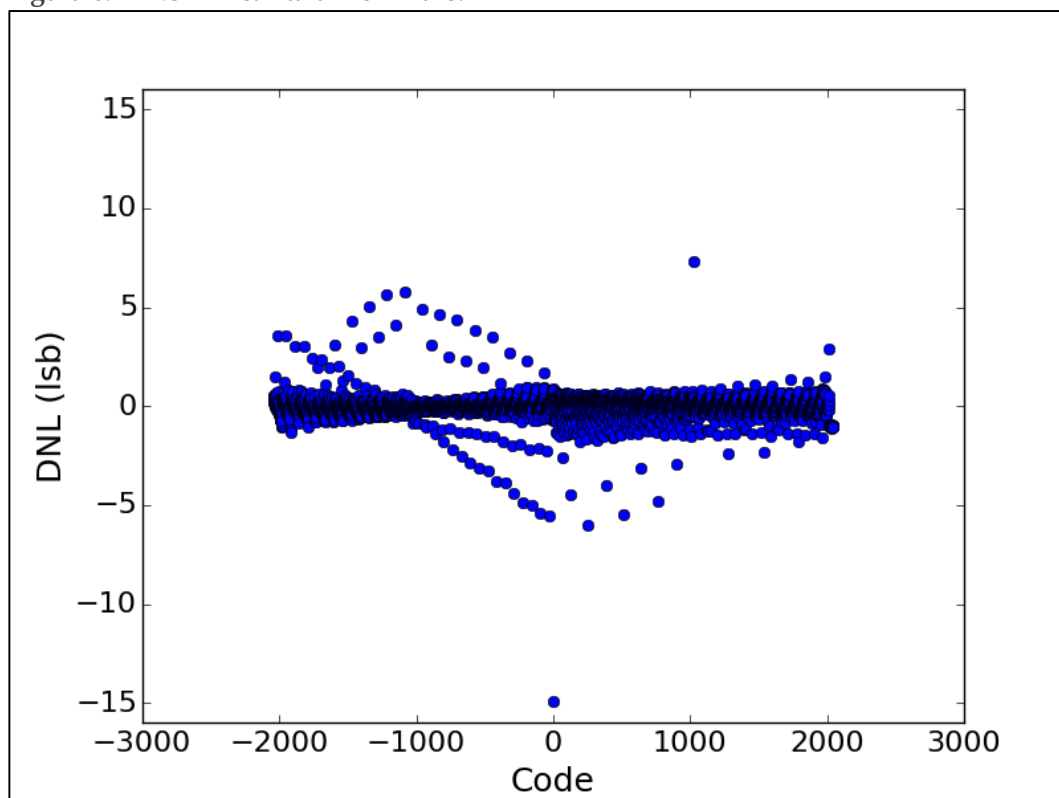
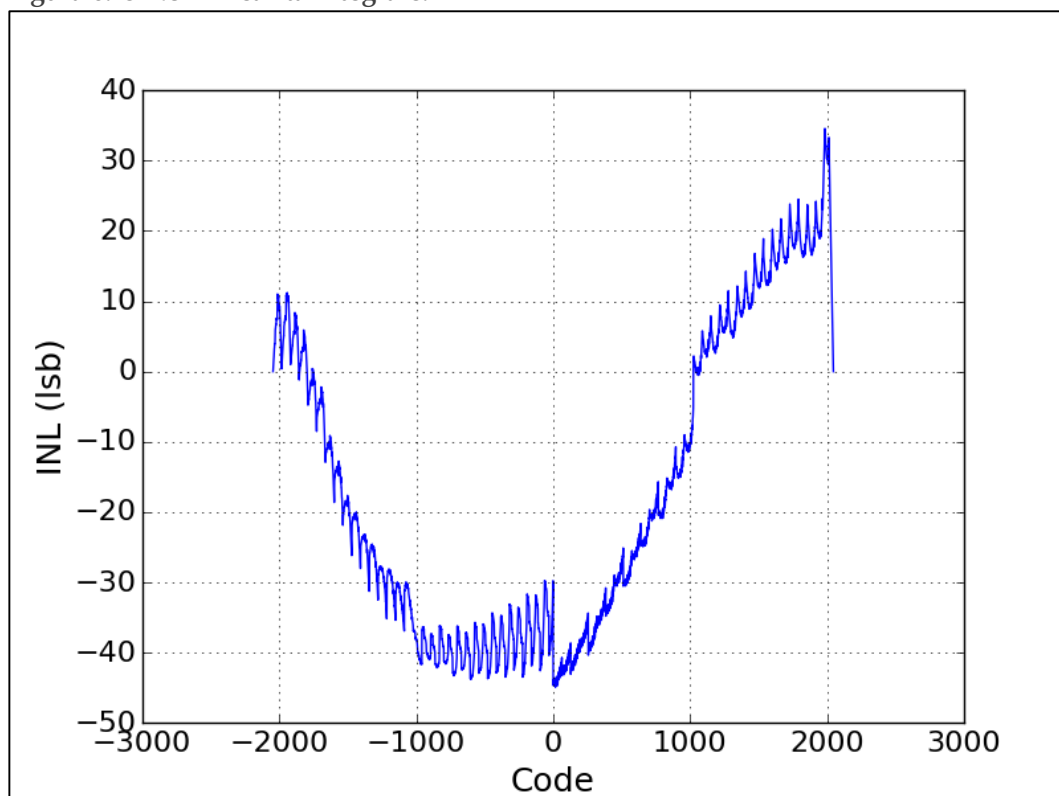


Figura 6.15 Non linearità integrale.



6.5 ADC

Il funzionamento del convertitore $\Sigma\text{-}\Delta$ è stato verificato stimolando il convertitore con dei segnali in AC prodotti con generatori da laboratorio. Dalle prime prove effettuate si è riscontrata una buona corrispondenza fra le prestazioni attese e le prestazioni effettive, con un numero effettivo di bit di risoluzione (ENOB) di circa 14,5 sui 16 previsti.

Figura 6.16 Uscita dell'ADC a confronto con quella ideale, per tensioni di ingresso variabili fra $\pm 10\text{mV}$.

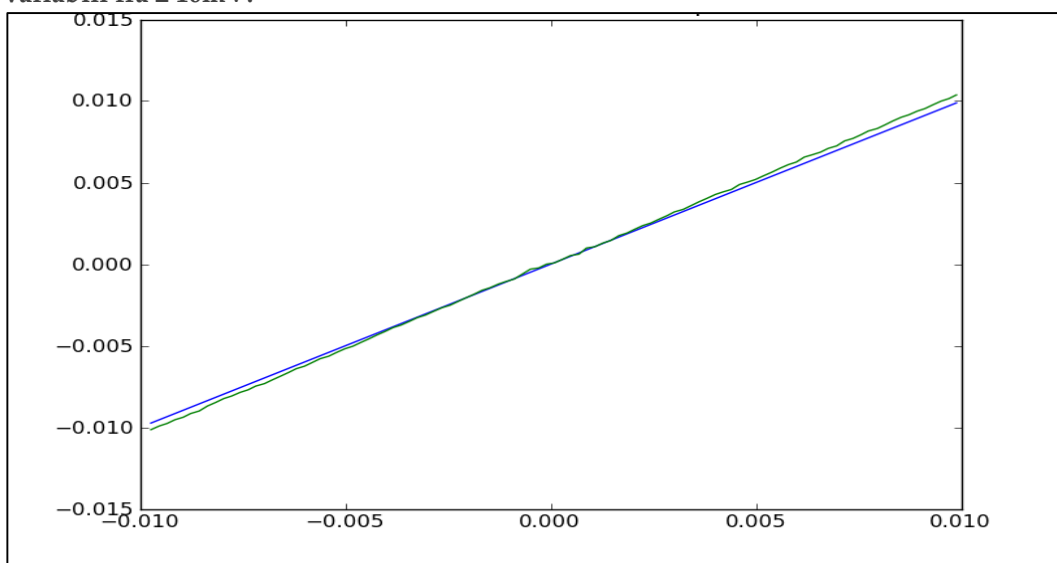
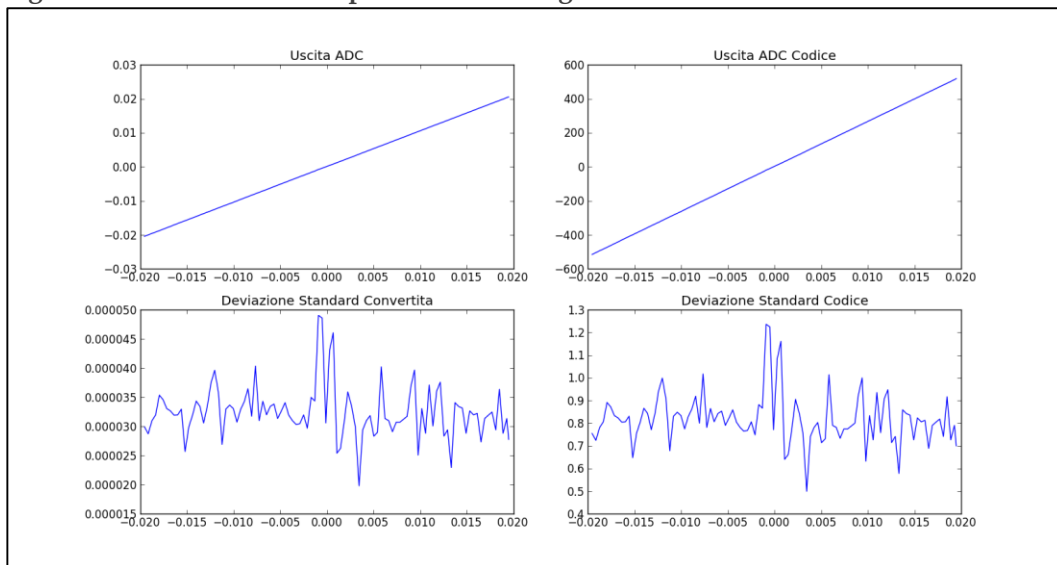


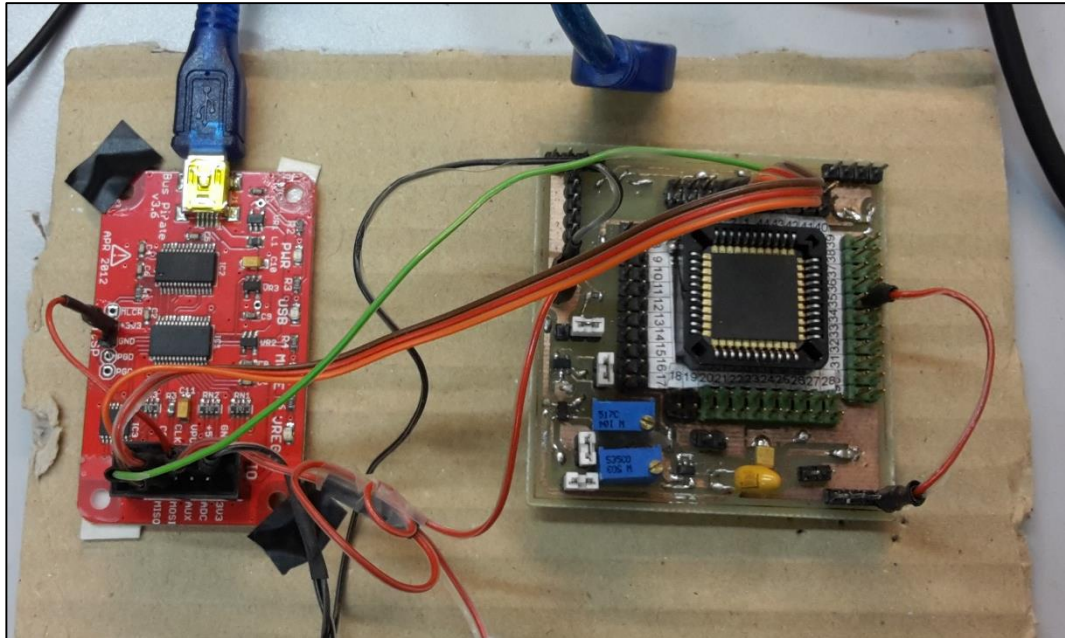
Figura 6.17 Uscita dell'ADC per tensioni di ingresso variabili fra $\pm 20\text{mV}$



6.6 Prestazioni del sistema complessivo

Le prestazioni del sistema dal punto di vista della affidabilità nella misura di impedenze sono state verificate utilizzando componenti esterni, resistenze e capacità, sia in serie che in parallelo. Il chip è stato interfacciato utilizzando una scheda *Bus Pirate*, comandata via PC da console *Python*, con cui sono state implementate delle API per il controllo e la programmazione del dispositivo. Per la comunicazione fra il chip e la scheda *Pirate* è stata realizzata una board ad hoc (Figura 6.18).

Figura 6.18 Bus Pirate (sulla sinistra) e board con il chip (a destra).



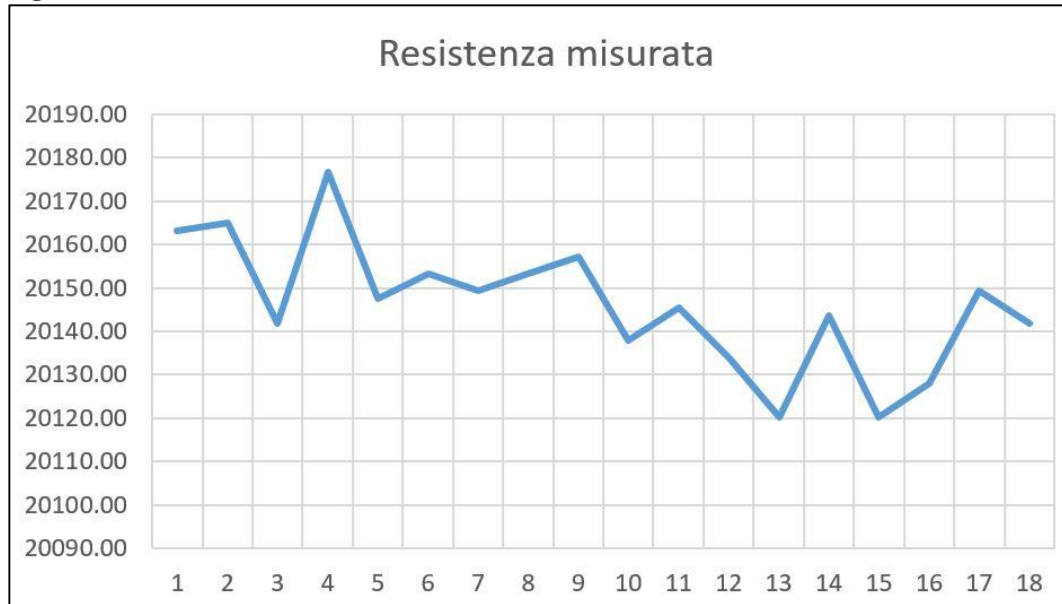
Misure preliminare di resistenza e di capacità sono state realizzate connettendo resistenze e capacità di valore variabile a ciascuna delle porte esterne di potenza. I risultati preliminari hanno dimostrato la validità del sistema sviluppato: anche senza calibrazione, i valori di impedenza sono misurati con una accuratezza del 2% circa e con una risoluzione pari a circa l'1 per 1000.

In Figura 6.19 sono riportati i risultati di 18 letture del valore di una resistenza da 20250 Ω , effettuate con le seguenti impostazioni:

- $RSNS = 5k\Omega$;
- guadagno dell'amplificatore da strumentazione = 20;
- frequenza della sinusoide pari a 78kHz con ampiezza picco-picco di 2V;

- banda del CIC dell'ADC pari a 500Hz.

Figura 6.19 Valori di resistenza misurati in 18 letture consecutive.



6.6.1 Prestazioni attese in termini di risoluzione

Facendo riferimento allo schema di misura di impedenza riportato in Figura 5.2, si può dimostrare facilmente che la prestazioni attese in termini di risoluzione per la lettura di impedenza sono:

per la lettura di resistenze

$$x_R = \frac{\Delta R}{R_0} = \frac{\sqrt{(S_{NIA} + 4kTR_{SNS})B}}{V_{Irms}} \cdot \left(\frac{R_0}{R_{SNS}} \right) \quad (6-1)$$

per la lettura di capacità

$$x_C = \frac{\Delta C}{C_0} = \frac{\sqrt{(S_{NIA} + 4kTR_{SNS})B}}{V_{Irms}} \cdot \left(\frac{1}{2\pi f_{SIN} C_0 R_{SNS}} \right) \quad (6-2)$$

dove:

- R_0 e C_0 sono rispettivamente il valore nominale della resistenza e della capacità misurata;
- V_{Irms} è il valore rms della sinusoide di stimolo;
- f_{SIN} è la frequenza del segnale sinusoidale;
- S_{NIA} è la DSP di rumore termico riportata in ingresso dell'amplificatore da strumentazione;

- R_{SNS} è la resistenza di sense;
- B è la banda del filtro CIC dell'ADC.

Conclusioni

Nel lavoro di tesi è stata sviluppata una innovativa interfaccia general-purpose per applicazioni con sensori di specie chimiche, quali ad esempio applicazioni di Electrochemical Impedance Spectroscopy (EIS) e voltammetria. Le misurazioni sperimentali effettuate sui prototipi finora prodotti hanno mostrato la validità dell'architettura proposta, che risulta in linea con le prestazioni attese e che si attesta come valida alternativa ai dispositivi commerciali attualmente disponibili.

L'architettura realizzata si distingue per una originale rete di generazione dei segnali di stimolo, che consente di trasferire ai DUT sia tensioni in DC, variabili all'interno dell'intero range dei rail, sia tensioni sinusoidali con frequenza variabile da 1Hz a 1MHz circa, e programmabile su 16 livelli di ampiezza. Per il canale di lettura è stata una originale architettura di amplificatore da strumentazione, che garantisce una buona stabilità del guadagno differenziale in un range di modo comune di ingresso quasi rail-ro-rail.

Attualmente il 4° prototipo del chip, in cui sono state risolte alcune problematiche riscontrate durante le fasi di test dei prototipi precedenti, è stato inviato alla fonderia. Una volta terminate le misure sulla nuova release, è previsto l'avvio della fase di produzione.

